

日 本 国 特 許 庁
JAPAN PATENT OFFICE

03.12.03

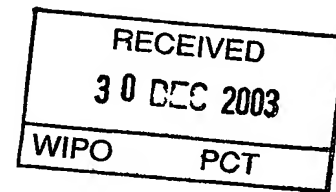
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 7 月 3 0 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 2 0 4 0 1 8
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 2 0 4 0 1 8]

出 願 人 シャープ株式会社
Applicant(s):

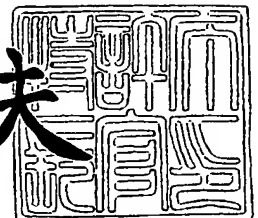


**PRIORITY
DOCUMENT**
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2 0 0 3 年 1 1 月 2 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願
【整理番号】 03J02423
【提出日】 平成15年 7月30日
【あて先】 特許庁長官 殿
【国際特許分類】 G09G 3/32
G09G 3/20 624

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 沼尾 孝次

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100080034

【弁理士】

【氏名又は名称】 原 謙三

【電話番号】 06-6351-4384

【選任した代理人】

【識別番号】 100113701

【弁理士】

【氏名又は名称】 木島 隆一

【選任した代理人】

【識別番号】 100116241

【弁理士】

【氏名又は名称】 金子 一郎

【先の出願に基づく優先権主張】

【出願番号】 特願2003- 92534

【出願日】 平成15年 3月28日

【手数料の表示】

【予納台帳番号】 003229

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208489

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置

【特許請求の範囲】

【請求項 1】

電流駆動発光素子と、該電流駆動発光素子の供給電流を制御する駆動用トランジスタとを含む表示装置において、

上記駆動用トランジスタの電流制御端子と電流出力端子との間に接続される第 1 スイッチ用トランジスタと、

上記駆動用トランジスタの電流制御端子と電流入力端子との間に接続される第 1 コンデンサと、

上記駆動用トランジスタの電流制御端子に一方の端子である第 1 端子が接続され、もう一方の端子である第 2 端子は、駆動用トランジスタの電流出力端子との間に第 2 スイッチ用トランジスタを介して接続され、かつ所定電圧線との間に第 3 スイッチ用トランジスタを介して接続されている第 2 コンデンサとを備えていることを特徴とする表示装置。

【請求項 2】

電流駆動発光素子と、該電流駆動発光素子の供給電流を制御する駆動用トランジスタとを含む表示装置において、

上記駆動用トランジスタの電流制御端子と電流入力端子との間に接続される第 1 スイッチ用トランジスタと、

上記駆動用トランジスタの電流制御端子と電流出力端子との間に接続される第 1 コンデンサと、

上記駆動用トランジスタの電流制御端子に一方の端子である第 1 端子が接続され、もう一方の端子である第 2 端子は、駆動用トランジスタの電流入力端子との間に第 2 スイッチ用トランジスタを介して接続され、かつ所定電圧線との間に第 3 スイッチ用トランジスタを介して接続されている第 2 コンデンサとを備えていることを特徴とする表示装置。

【請求項 3】

上記第 1 コンデンサ、第 2 コンデンサ、第 1 スイッチ用トランジスタ、第 2 ス

イッチ用トランジスタ、および第3スイッチ用トランジスタからなる構成を、各画素回路毎またはソースドライバ回路毎に備えていることを特徴とする請求項1または2に記載の表示装置。

【請求項4】

上記第1コンデンサ、第2コンデンサ、第1スイッチ用トランジスタ、第2スイッチ用トランジスタ、および第3スイッチ用トランジスタからなる構成は、一部が画素回路側、他の一部がソースドライブ回路側に配置されることを特徴とする請求項1または2に記載の表示装置。

【請求項5】

画素回路側に、電流駆動発光素子、駆動用トランジスタ、および第1コンデンサを配置し、

ソースドライバ側に、第2コンデンサ、第1スイッチ用トランジスタ、第2スイッチ用トランジスタ、および第3スイッチ用トランジスタを配置すると共に、

上記駆動用トランジスタの電流制御端子と、第2コンデンサの第1端子とを接続する接続配線を備えていることを特徴とする請求項4に記載の表示装置。

【請求項6】

画素回路側に、電流駆動発光素子、駆動用トランジスタ、第1スイッチ用トランジスタ、第1コンデンサおよび第2コンデンサを配置し、

ソースドライバ側に、第2スイッチ用トランジスタ、および第3スイッチ用トランジスタを配置すると共に、

上記駆動用トランジスタの電流出力端子または電流入力端子と、第2コンデンサの第2端子とを接続する接続配線を備えていることを特徴とする請求項4に記載の表示装置。

【請求項7】

さらに、OFF電位を供給するOFF電位線を備えており、

上記接続配線が、第4スイッチング用トランジスタを介してOFF電位線に接続されていることを特徴とする請求項5または6に記載の表示装置。

【請求項8】

電流駆動発光素子と、該電流駆動発光素子の供給電流を制御する駆動用トラン

ジスタとを含む表示装置において、

上記駆動用トランジスタの電流制御端子に第1コンデンサの一方の端子である第1端子が接続されており、

上記画素回路の選択期間では、第1のコンデンサの第1端子に第2のコンデンサの一方の端子である第1端子が接続され、

第1の期間において、第2コンデンサの他方端子である第2端子を所定電圧線に接続し、上記駆動用トランジスタの電流制御端子と電流出力端子とを接続し、この時の上記駆動用トランジスタの電流制御端子電位を第1のコンデンサおよび第2コンデンサに保持し、

第2の期間において、上記駆動用トランジスタの電流制御端子と電流出力端子との接続を遮断し、第2コンデンサの第2端子の接続を上記所定電圧線との接続から上記駆動用トランジスタの電流出力端子との接続に切り替え、上記駆動用トランジスタの電流制御端子電位を修正し、この時の上記駆動用トランジスタの電流制御端子電位を第1コンデンサに保持し、

上記画素回路の非選択期間では、

上記第1コンデンサに保持された駆動用トランジスタの電流制御端子電位によって、電流駆動発光素子の非選択期間における供給電流を制御することを特徴とする表示装置。

【請求項9】

電流駆動発光素子と、該電流駆動発光素子の供給電流を制御する駆動用トランジスタとを含む表示装置において、

上記駆動用トランジスタの電流制御端子に第1コンデンサの一方の端子である第1端子が接続されており、

上記画素回路の選択期間では、第1のコンデンサの第1端子に第2のコンデンサの一方の端子である第1端子が接続され、

第1の期間において、第2コンデンサの他方端子である第2端子を所定電圧線に接続し、上記駆動用トランジスタの電流制御端子と電流入力端子とを接続し、この時の上記駆動用トランジスタの電流制御端子電位を第1のコンデンサおよび第2コンデンサに保持し、

第2の期間において、上記駆動用トランジスタの電流制御端子と電流入力端子との接続を遮断し、第2コンデンサの第2端子の接続を上記所定電圧線との接続から上記駆動用トランジスタの電流入力端子との接続に切り替え、上記駆動用トランジスタの電流制御端子電位を修正し、この時の上記駆動用トランジスタの電流制御端子電位を第1コンデンサに保持し、

上記画素回路の非選択期間では、

上記第1コンデンサに保持された駆動用トランジスタの電流制御端子電位によって、電流駆動発光素子の非選択期間における供給電流を制御することを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、有機EL (Electro Luminescence) ディスプレイやFED (Field Emission Display) 等の電流駆動素子を用いた表示装置およびその駆動方法に関するものである。

【0002】

【従来の技術】

近年、有機ELディスプレイやFED等の電流駆動発光素子の研究開発が活発に行われている。特に有機ELディスプレイは、低電圧・低消費電力で発光可能なディスプレイとして、携帯電話やPDA (Personal Digital Assistants) などの携帯機器用として注目されている。

【0003】

この有機ELディスプレイ用の電流駆動画素回路構成として、非特許文献1に示された回路構成を図22に示す。

【0004】

図22に示す回路構成では、駆動用TFT (Thin Film Transistor) 101のソース端子は電源配線Vsへ接続され、駆動用TFT 101のゲート端子はコンデンサ104を介して電源配線Vsへ接続されている。駆動用TFT 101のドレイン端子と有機EL素子103の陽極との間にはスイッチ用TFT 102が配

置され、有機EL素子103の陰極は共通配線Vcomに接続されている。

【0005】

また、駆動用TFT101とスイッチ用TFT102との接続点には選択用TFT106とスイッチ用TFT105とが接続されている。選択用TFT106はソース配線Sjへ接続され、スイッチ用TFT105は駆動用TFT101のゲート端子へ接続されている。

【0006】

この構成では、走査配線GiにLowの信号が与えられる場合（選択期間）、スイッチ用TFT102がOFF状態となり、選択用TFT106とスイッチ用TFT素子105とがON状態となる。この場合、電源配線Vsより駆動用TFT101および選択用TFT106を介してソース配線Sjへ電流を流すことができる。このときの電流値をソース配線Sjに繋がる図示しないソースドライバ回路の電流源で制御すれば、駆動用TFT101へそのソースドライバ回路で規定された電流値が流れるように駆動用TFT素子101のゲート電圧が設定される。

【0007】

また、走査配線GiにHighの信号が与えられる場合（非選択期間）、選択用TFT106とスイッチ用TFT105とがOFF状態となり、スイッチ用TFT102がON状態となる。この非選択期間においては、上記選択期間においてソース配線Sjから駆動用TFT素子101のゲートに対して設定された電位がコンデンサ104にて保持される。このため、非選択期間において、駆動用TFT101にて設定された電流値を有機EL素子103へ流すことができる。

【0008】

また、これに類似した電流駆動画素回路構成として、非特許文献2および特許文献1で示された画素回路構成を図23に示す。

【0009】

図23の回路構成では、駆動用TFT108のソース端子とゲート端子との間にコンデンサ111が配置され、ゲート端子とドレイン端子との間にスイッチ用TFT112が配置され、そのドレイン端子に有機EL素子109の陽極が配置

されている。そして、駆動用TFT108のソース端子と電源配線 V_s との間にスイッチ用TFT107が配置され、ソース配線 S_j との間に選択用TFT110が配置されている。

【0010】

これら選択用TFT110およびスイッチ用TFT107, 112のゲート端子には各々制御配線 W_i , R_i , 走査配線 G_i が接続されている。

【0011】

この画素回路構成の動作を、図24に示すタイミングチャートを用いて以下に説明する。このタイミングチャートは、制御配線 W_i , R_i , 走査配線 G_i およびソース配線 S_j の各配線に与えられる信号のタイミングを示している。

【0012】

図24では時間 $0 \sim 3t_1$ が選択期間を示しており、該選択期間において制御配線 R_i の電位はHigh (GH) となっており、スイッチ用TFT107をOFF状態とする。また、同時に制御配線 W_i の電位はLow (GL) となっており、選択用TFT110をON状態とする。これにより、選択期間では、ソース配線 S_j から選択用TFT110および駆動用TFT108を介して有機EL素子109へ電流が流れる状態となる。

【0013】

この選択期間において、時間 $0 \sim 2t_1$ の期間では、走査配線 G_i の電位はHigh となっており、スイッチ用TFT112をON状態とするため、ソース配線 S_j に繋がる図示しないソースドライバ回路から有機EL素子109へ電流が流れる。このとき、駆動用TFT108のゲート電位は、上記ソースドライバ回路で規定された電流値が流れるよう設定される。

【0014】

そして、時間 $2t_1 \sim 3t_1$ の期間では、スイッチ用TFT112はOFF状態とされるが、駆動用TFT108のゲート電位はコンデンサ111によって保持され、この期間においてもソース配線 S_j から有機EL素子109へ電流が流れる。

【0015】

時間 3 t 1 以降（非選択期間）では、スイッチ用 T F T 1 1 0 を O F F 状態とし、スイッチ用 T F T 1 0 7 を O N 状態とする。このため、非選択期間においては、電源配線 V s より設定された電流値が有機 E L 素子 1 0 9 へ流れるよう制御される。

【0016】

【非特許文献1】

M.T.Johnson、他5名, “Active Matrix PolyLED Displays”, IWD '00, 2000, p.235-238

【0017】

【非特許文献2】

Simon W-B.Tam、他5名, “Polysilicon TFT Drivers for Light Emitting Polymer Displays”, IDW '99, 1999, p.175-178

【0018】

【特許文献1】

特表 2002-514320 号公報（国際公開日平成10年10月29日）

【0019】

【発明が解決しようとする課題】

しかしながら、非特許文献2に示される上記画素回路構成では駆動用 T F T 1 0 8 の閾値電圧・移動度のばらつきにより、非選択期間において有機 E L 素子 1 0 9 を流れる電流値がばらつくという問題がある。

【0020】

この電流値のばらつきの影響がどの程度あるか知るために、図23における画素回路構成で、駆動用 T F T 1 0 8 の閾値電圧・移動度を以下の表3に示す5つの条件で振り、有機 E L 素子 1 0 9 を流れる電流値をシミュレーションで求めた。その結果を図25に示す。

【0021】

【表 3】

	Ioled(1)	Ioled(2)	Ioled(3)	Ioled(4)	Ioled(5)
閾値電圧	平均値	下限	上限	上限	下限
移動度	平均値	下限	上限	下限	上限

【0022】

図25におけるシミュレーションでは、0.24ms毎に選択期間が来るよう設定し、最初の時間0.27ms～0.51msの間でソース配線S_jへ電流値0.1μAが流れるよう設定した。それ以降は、時間0.24ms毎に、ソース配線S_jへ流れる電流値を0.1μA刻みで0.9μAまで増加させ、その後0に戻し、再度0.1μA刻みで増加させている。

【0023】

即ち、上記シミュレーションにおける最初の選択期間は、時間0.27～0.30msの間であり、この選択期間においてソース配線S_jへ流れている電流値0.1μAにより駆動用TFT108のゲート端子電位が規定され、その期間だけ有機EL素子109を流れる電流値が0.1μAに設定される。尚、この時のゲート電位は、その後の非選択期間0.31～0.51msにおいても保持されているが、その非選択期間において有機EL素子109を流れる電流値は、0.12～0.13μA程度のばらつきを持つ。

【0024】

このシミュレーションにおいて、ソース配線S_jに流した電流値(0～0.9μA迄の10点)を横軸にし、これらの各電流値を与えた後の非選択期間における有機EL素子109へ流れる電流値を縦軸として、そのばらつきを示したのが図26である。図26において、ソース配線S_jへ0.9μAの電流を流した後の非選択期間では、有機EL素子109を流れる電流値は約0.95～1.12μA(+5%～+24%)の範囲でばらついている。

【0025】

このばらつきが起きる原因は、図27に示すように選択期間(概ね270～300μsの間)と非選択期間(それ以外の期間)とにおいて駆動用TFT108

のソース・ドレイン間電圧 V_{sd} が変化するためである。なお、図 27 は、上記表 1 において示した駆動用 TFT108 の 5 つの閾値電圧・移動度条件を用いてシミュレーションした結果を示しており、各電圧値 $V_{sg}(1) \sim V_{sg}(5)$ 、 $V_{sd}(1) \sim V_{sd}(5)$ のそれぞれは、表 1 における $I_{oled}(1) \sim (5)$ の条件と一致する。

【0026】

すなわち、図 23 の回路構成では、図 27 に示すように、選択期間内における電流書き込み時（図 24 の時間 $0 \sim 2t_1$ の期間、図 27 では概ね時間 $270 \sim 290 \mu s$ の間）はスイッチ用 TFT112 が ON 状態となるので、駆動用 TFT108 のソース・ドレイン間電圧 V_{sd} はソース・ゲート間電圧 V_{sg} と一致している。

【0027】

この時の駆動用 TFT108 のソース・ゲート間電圧 V_{sg} は、駆動用 TFT108 の閾値電圧・移動度により決まる。すなわち、閾値が $1V$ の場合と $2V$ の場合とでは、 $1V$ 程度のばらつきが発生する。実際、上記シミュレーション結果では、ソース配線 S_j に $0.1 \mu A$ の電流を流したとき、ソース・ゲート間電圧 V_{sg} は約 $1.4V \sim 3.6V$ の範囲でばらついている。

【0028】

その後、スイッチ用 TFT112 を OFF 状態とすると（概ね $290 \mu s$ 以降）、駆動用 TFT108 のソース・ゲート間電位は保持されるが、ソース・ドレイン間電圧 V_{sd} は変化する。

【0029】

特に、非選択期間となった後（概ね $300 \mu s$ 以降）は、ソース・ドレイン間電圧 V_{sd} は $6V$ 程度に変化する。この電圧 V_{sd} は、有機 EL 素子 109 の印加電圧対電流値特性により、該有機 EL 素子 109 に電流値 $0.1 \mu A$ を流すのに必要な電圧 V_{oled} により決まる。このシミュレーションでは、電圧 V_{oled} は、

$$V_{oled} = V_s - 6V$$

程度の特性としている。また、この有機 EL 素子 109 の印加電圧対電流値特性

はダイオード的な特性（印加電圧に対して電流値が指数関数的に増える）なので、有機EL素子109を流れる電流値が数割程度異なっても、駆動用TFT108のソース・ドレイン間電圧は余りばらつかない。

【0030】

もし、この駆動用TFT108が理想的なFETであれば、ゲート・ソース間電位 V_{sg} が一定であり、

ソース・ドレイン間電圧 $V_{sd} > \text{ゲート・ソース間電位 } V_{sg}$ の条件を満たす場合、ソース・ドレイン間電圧 V_{sd} が変化しても、ソース・ドレイン間を流れる電流値は変化しない。しかし、現実のTFTでは、図28に示すように、ゲート・ソース間電位 V_{sg} が一定であっても、ソース・ドレイン間電圧 V_{sd} が増えれば、ソース・ドレイン間を流れる電流値も増える。なお、図28は、上記表1において示した駆動用TFT108の5つの閾値電圧・移動度条件を用いてシミュレーションした結果を示しており、各電流値 $I_{tft}(1) \sim I_{tft}(5)$ のそれぞれは、表1における $I_{oled}(1) \sim (5)$ の条件と一致する。

【0031】

上記図28に示す結果より、駆動用TFT108の閾値電圧・移動度により、電流書き込み時のソース・ドレイン間電圧 V_{sd} がばらつけば、非選択期間でのソース・ドレイン間電流がばらつく。その結果、有機EL素子109を流れる電流値も変化する。

【0032】

そこで、図29に示すように、駆動用TFT108と有機EL素子109を直列に接続した回路を用い、非選択期間でのソース・ドレイン間電流がばらつきを調べた。この時、駆動用TFT108のゲート端子へ、上記図27の電流書き込み時に得られた駆動用TFT108のゲート・ソース間電位 V_{gd} を印加し、さらに電源電圧 $V_s - V_{com}$ を変化させ、有機EL素子109を流れる電流を上記駆動用TFT108の5つの閾値電圧・移動度条件を用いてシミュレーションした。このシミュレーション結果を図30に示す。

【0033】

図30では、ソース配線 S_j へ $0.5\mu A$ の電流を供給したときの駆動用TF T108のゲート・ソース間電位 V_{gd} を用いている。この場合、上記図27に示す電流書き込み時のソース配線 S_j の電位が、駆動用TF T108の閾値電圧・移動度条件により変化し、有機EL素子109へ電流 $0.5\mu A$ を供給するように設定されるので、電源配線 V_s の電位が一定(16V)の条件では、有機EL素子109を流れる電流値が変化してしまう。

【0034】

このように、駆動用TF Tの閾値電圧・移動度のばらつきにより電流書き込み時のソース・ドレイン間電圧 V_{sd} がばらつき、結果として非選択時に有機EL素子を流れる電流値がばらつく現象は、図22に示した画素回路構成でも同様に生じる。このように、従来の画素回路構成では、駆動用TF Tの閾値電圧・移動度のばらつきにより非選択期間に有機EL素子を流れる電流がばらつくといった問題がある。

【0035】

本発明は、上記の問題点を解決するためになされたもので、その目的は、駆動用TF Tの閾値電圧・移動度のばらつきによる、非選択期間の有機EL素子を流れる電流値ばらつきを抑えることができる表示装置を提供することにある。

【0036】

【課題を解決するための手段】

本発明の第1の表示装置は、上記の課題を解決するために、電流駆動発光素子と、該電流駆動発光素子の供給電流を制御する駆動用トランジスタとを含む表示装置において、上記駆動用トランジスタの電流制御端子と電流出力端子との間に接続される第1スイッチ用トランジスタと、上記駆動用トランジスタの電流制御端子と電流入力端子との間に接続される第1コンデンサと、上記駆動用トランジスタの電流制御端子に一方の端子である第1端子が接続され、もう一方の端子である第2端子は、駆動用トランジスタの電流出力端子との間に第2スイッチ用トランジスタを介して接続され、かつ所定電圧線との間に第3スイッチ用トランジスタを介して接続されている第2コンデンサとを備えていることを特徴としている。

【0037】

上記の構成を用いた画素回路構成及びソースドライバ回路構成によれば、前記回路の駆動用トランジスタの出力電流設定期間中において、第1スイッチ用トランジスタをONした状態で駆動用トランジスタへ所定の電流を流すことで、その駆動用トランジスタの閾値電圧・移動度のバラツキに対応した電流制御端子電位（電位 V_x とする）が得られる。この電流制御端子電位は第1コンデンサに保持される。

【0038】

またこのとき、第1のコンデンサの第1端子と第2のコンデンサの第1端子は接続されており、第2コンデンサの第2端子は、第2スイッチ用トランジスタをOFF、第3スイッチ用トランジスタをONとすることで、所定電圧線（上記所定電流を流す場合に対応した一定電位 V_a とする）に接続され、該第2コンデンサには、電位 $V_a - V_x$ が保持される。以上を第1の期間とする。

【0039】

次に、第2スイッチ用トランジスタをON、第3スイッチ用トランジスタをOFFとすることで、第2コンデンサの第2端子を上記駆動用トランジスタの電流出力端子（TF Tのドレイン端子またはソース端子）へ接続する。このとき、初期状態として駆動用トランジスタの電流出力端子電位が V_a のとき、上記駆動用トランジスタの電流制御端子電位（TF Tのゲート端子）が上記電位 V_x となる。

【0040】

その後、上記駆動用トランジスタへ所望の電流値を流すことで、上記駆動用トランジスタの電流制御端子電位（TF Tのゲート端子）が変化する。このときの電流制御端子電位（TF Tのゲート端子）は上記駆動用トランジスタの閾値電圧・移動度のバラツキに依らず、上記駆動用トランジスタの電流入力端子－電流出力端子間電位がほぼ等しい状態で上記駆動用トランジスタの電流制御端子電位（TF Tのゲート端子）が設定される。また、この所定電流を電流駆動発光素子へ印加したとき、電流駆動発光素子で発生する電位ドロップは等しいので、上記駆動用トランジスタの電流入力端子－電流出力端子間電位がほぼ等しい状態で所定

の電流値を出力するように上記駆動用トランジスタの電流制御端子電位（TFTのゲート端子）を設定できる。

【0041】

このときの上記駆動用トランジスタの電流制御端子電位は第1のコンデンサと第2のコンデンサの接続を切り離す場合第1のコンデンサに、切り離さない場合第1および第2のコンデンサに保持される。以上を第2の期間とする。

【0042】

その後、上記画素回路の非選択期間において、上記駆動用トランジスタの電流入力端子－電流出力端子間電位は変化するが、その変化後の電位は上記駆動用トランジスタの閾値電圧・移動度のバラツキに依らず一定なので、上記駆動用トランジスタの電流入力端子－電流出力端子間を流れる電流値のバラツキを抑えることができる。

【0043】

本発明の第2の表示装置は、上記の課題を解決するために、電流駆動発光素子と、該電流駆動発光素子の供給電流を制御する駆動用トランジスタとを含む表示装置において、上記駆動用トランジスタの電流制御端子と電流入力端子との間に接続される第1スイッチ用トランジスタと、上記駆動用トランジスタの電流制御端子と電流出力端子との間に接続される第1コンデンサと、上記駆動用トランジスタの電流制御端子に一方の端子である第1端子が接続され、もう一方の端子である第2端子は、駆動用トランジスタの電流入力端子との間に第2スイッチ用トランジスタを介して接続され、かつ所定電圧線との間に第3スイッチ用トランジスタを介して接続されている第2コンデンサとを備えていることを特徴としている。

【0044】

上記の構成を用いた画素回路構成及びソースドライバ回路構成によれば、前記回路の駆動用トランジスタの出力電流設定期間中において、第1スイッチ用トランジスタをONした状態で駆動用トランジスタへ所定の電流を流すことで、その駆動用トランジスタの閾値電圧・移動度のバラツキに対応した電流制御端子電位（電位 V_x とする）が得られる。この電流制御端子電位は第1コンデンサに保持

される。

【0045】

またこのとき、第1のコンデンサの第1端子と第2のコンデンサの第1端子とは接続されており、第2コンデンサの第2端子は、第2スイッチ用トランジスタをOFF、第3スイッチ用トランジスタをONとすることで、所定電圧線（上記所定電流を流す場合に対応した一定電位 V_a とする）に接続され、該第2コンデンサには、電位 $V_a - V_x$ が保持される。以上を第1の期間とする。

【0046】

次に、第2スイッチ用トランジスタをON、第3スイッチ用トランジスタをOFFとすることで、第2コンデンサの第2端子を上記駆動用トランジスタの電流入力端子（TFTのドレイン端子またはソース端子）へ接続する。このとき、初期状態として駆動用トランジスタの電流入力端子電位が V_a のとき、上記駆動用トランジスタの電流制御端子電位（TFTのゲート端子）が上記電位 V_x となる。

【0047】

その後、上記駆動用トランジスタへ所望の電流値を流すことで、上記駆動用トランジスタの電流制御端子電位（TFTのゲート端子）が変化する。このときの電流制御端子電位（TFTのゲート端子）は上記駆動用トランジスタの閾値電圧・移動度のバラツキに依らず、上記駆動用トランジスタの電流入力端子－電流出力端子間電位がほぼ等しい状態で上記駆動用トランジスタの電流制御端子電位（TFTのゲート端子）が設定される。また、この所定電流を電流駆動発光素子へ印加したとき、電流駆動発光素子で発生する電位ドロップは等しいので、上記駆動用トランジスタの電流入力端子－電流出力端子間電位がほぼ等しい状態で所定の電流値を出力するよう上記駆動用トランジスタの電流制御端子電位（TFTのゲート端子）を設定できる。

【0048】

このときの上記駆動用トランジスタの電流制御端子電位は第1のコンデンサと第2のコンデンサの接続を切り離す場合第1のコンデンサに、切り離さない場合第1および第2のコンデンサに保持される。以上を第2の期間とする。

【0049】

その後、上記画素回路の非選択期間において、上記駆動用トランジスタの電流入力端子－電流出力端子間電位は変化するが、その変化後の電位は上記駆動用トランジスタの閾値電圧・移動度のバラツキに依らず一定なので、上記駆動用トランジスタの電流入力端子－電流出力端子間を流れる電流値のバラツキを抑えることができる。

【0050】

上記駆動回路構成は上記電流駆動発光素子を直接駆動する画素回路構成としても適用可能であるが、画素回路に配置した駆動用トランジスタの出力電流を設定するソースドライバ回路構成としても有効である。

【0051】

ソースドライバ回路構成として用いるの場合、上記表示装置において、上記第1コンデンサ、第2コンデンサ、第1スイッチ用トランジスタ、第2スイッチ用トランジスタ、および第3スイッチ用トランジスタからなる構成を、各ソースドライバ回路毎に備えている構成とすることが有効である。

【0052】

また画素回路構成として用いる場合でも、上記表示装置においては、上記第1コンデンサ、第2コンデンサ、第1スイッチ用トランジスタ、第2スイッチ用トランジスタ、および第3スイッチ用トランジスタからなる構成を、各画素回路毎に備えている構成とすることができる。

【0053】

特に上記の画素回路構成によれば、上記第1コンデンサ、第2コンデンサ、第1スイッチ用トランジスタ、第2スイッチ用トランジスタ、および第3スイッチ用トランジスタからなる構成を、すべて画素回路側に備えることで、該画素回路を駆動するソースドライバ回路は、従来と同構成のものを使用できる。

【0054】

また画素回路構成として用いる場合、上記表示装置においては、上記第1コンデンサ、第2コンデンサ、第1スイッチ用トランジスタ、第2スイッチ用トランジスタ、および第3スイッチ用トランジスタからなる構成は、一部が画素回路側

、他の一部がソースドライブ回路側に配置される構成とすることができる。

【0055】

上記の構成によれば、上記第1コンデンサ、第2コンデンサ、第1スイッチ用トランジスタ、第2スイッチ用トランジスタ、および第3スイッチ用トランジスタからなる構成の一部をソースドライバ回路側に配置することで、これらすべてを画素回路側に配置する場合と比べ、画素回路あたりに必要なコンデンサ及びトランジスタの数の増加を抑制できる。このため、従来に比べて電流駆動発光素子の単位面積当たりの発光輝度を向上させる必要がなく、その輝度半減寿命も変わらない。

【0056】

また、上記表示装置においては、画素回路側に、電流駆動発光素子、駆動用トランジスタ、および第1コンデンサを配置し、ソースドライバ側に、第2コンデンサ、第1スイッチ用トランジスタ、第2スイッチ用トランジスタ、および第3スイッチ用トランジスタを配置すると共に、上記駆動用トランジスタの電流制御端子と、第2コンデンサの第1端子とを接続する接続配線を備えている構成とすることができる。

【0057】

上記の構成によれば、上記第1コンデンサ、第2コンデンサ、第1スイッチ用トランジスタ、第2スイッチ用トランジスタ、および第3スイッチ用トランジスタからなる構成の一部をソースドライバ回路側に配置した表示装置の具体的構成を提供することができる。

【0058】

また、上記表示装置においては、画素回路側に、電流駆動発光素子、駆動用トランジスタ、第1スイッチ用トランジスタ、第1コンデンサおよび第2コンデンサを配置し、ソースドライバ側に、第2スイッチ用トランジスタ、および第3スイッチ用トランジスタを配置すると共に、上記駆動用トランジスタの電流出力端子と、第2コンデンサの第2端子とを接続する接続配線を備えている構成とすることができる。

【0059】

上記の構成でも、上記第1コンデンサ、第2コンデンサ、第1スイッチ用トランジスタ、第2スイッチ用トランジスタ、および第3スイッチ用トランジスタからなる構成の一部をソースドライバ回路側に配置した表示装置の具体的構成を提供することができる。

【0060】

また、上記表示装置においては、さらに、OFF電位を供給するOFF電位線を備えており、上記接続配線が、第4スイッチング用トランジスタを介してOFF電位線に接続されている構成とすることができる。

【0061】

上記の構成によれば、暗状態となる画素に対しては、上記駆動用トランジスタを十分にOFF状態とするOFF電位を、上記OFF電位線から第4スイッチング用トランジスタおよび上記接続配線またはソース配線を通して駆動用トランジスタの電流制御端子に供給できるので、暗状態の輝度を充分低くし、表示装置のコントラストを向上できる。

【0062】

また、本発明の第1の駆動方法は、上記の課題を解決するために、電流駆動発光素子と、該電流駆動発光素子の非選択期間における供給電流を制御する駆動用トランジスタとを含む画素回路をマトリクス状に配してなる表示装置、またはマトリックス状にトランジスタと電流光学素子を配置し、前記トランジスタの出力電流値を規定する駆動用トランジスタをソースドライバ回路に配置してなる表示装置において、上記駆動用トランジスタの電流制御端子に第1コンデンサの一方の端子である第1端子が接続されており、上記画素回路の選択期間では、第1のコンデンサの第1端子に第2のコンデンサの一方の端子である第1端子が接続され、第1の期間において、第2コンデンサの他方端子である第2端子を所定電圧線に接続し、上記駆動用トランジスタの電流制御端子と電流出力端子とを接続し、この時の上記駆動用トランジスタの電流制御端子電位を第1のコンデンサおよび第2コンデンサに保持し、第2の期間において、上記駆動用トランジスタの電流制御端子と電流出力端子との接続を遮断し、第2コンデンサの第2端子の接続を上記所定電圧線との接続から上記駆動用トランジスタの電流出力端子との接続

に切り替え、上記駆動用トランジスタの電流制御端子電位を修正し、この時の上記駆動用トランジスタの電流制御端子電位を第1コンデンサに保持し、上記画素回路の非選択期間では、上記第1コンデンサに保持された駆動用トランジスタの電流制御端子電位によって、電流駆動発光素子の非選択期間における供給電流を制御することを特徴としている。

【0063】

上記の駆動方法によれば、画素回路及びソースドライバ回路の選択期間中の第1の期間において、駆動用トランジスタへ所定の電流を流すことで、その駆動用トランジスタの閾値電圧・移動度のバラツキに対応した電流制御端子電位（電位 V_x とする）が得られる。この電流制御端子電位は第1コンデンサおよび第2コンデンサに保持される。またこのとき、第1のコンデンサの第1端子と第2のコンデンサの第1端子は接続されており、第2コンデンサの第2端子は所定電圧線（上記所定電流を流す場合に対応した一定電位 V_a とする）に接続され、該第2コンデンサには、電位 $V_a - V_x$ が保持される。

【0064】

次に、第2の期間において、第2コンデンサの第2端子を上記駆動用トランジスタの電流出力端子（TFTのドレイン端子またはソース端子）へ接続する。このとき、駆動用トランジスタの電流出力端子電位が V_a のとき、上記駆動用トランジスタの電流制御端子電位（TFTのゲート端子）が上記電位 V_x となる。

【0065】

その後、上記駆動用トランジスタへ所望の電流値を流すことで、上記駆動用トランジスタの電流制御端子電位（TFTのゲート端子）が変化する。このときの電流制御端子電位（TFTのゲート端子）は上記駆動用トランジスタの閾値電圧・移動度のバラツキに依らず、上記駆動用トランジスタの電流入力端子－電流出力端子間電位がほぼ等しい状態で上記駆動用トランジスタの電流制御端子電位（TFTのゲート端子）が設定される。また、この所定電流を電流駆動発光素子へ印加したとき、電流駆動発光素子で発生する電位ドロップは等しいので、上記駆動用トランジスタの電流入力端子－電流出力端子間電位がほぼ等しい状態で所定の電流値を出力するよう上記駆動用トランジスタの電流制御端子電位（TFTの

ゲート端子)を設定できる。

【0066】

このときの上記駆動用トランジスタの電流制御端子電位は第1のコンデンサと第2のコンデンサの接続を切り離す場合第1のコンデンサに、切り離さない場合第1および第2のコンデンサに保持される。

【0067】

その後、上記画素回路の非選択期間において、上記駆動用トランジスタの電流入力端子ー電流出力端子間電位は変化するが、その変化後の電位は上記駆動用トランジスタの閾値電圧・移動度のバラツキに依らず一定なので、上記駆動用トランジスタの電流入力端子ー電流出力端子間を流れる電流値のバラツキを抑えることができる。

【0068】

また、本発明の第2の駆動方法は、上記の課題を解決するために、電流駆動発光素子と、該電流駆動発光素子の非選択期間における供給電流を制御する駆動用トランジスタとを含む画素回路をマトリクス状に配してなる表示装置、またはマトリックス状にトランジスタと電流光学素子を配置し、前記トランジスタの出力電流値を規定する駆動用トランジスタをソースドライバ回路に配置してなる表示装置において、上記駆動用トランジスタの電流制御端子に第1コンデンサの一方の端子である第1端子が接続されており、上記画素回路の選択期間では、第1のコンデンサの第1端子に第2のコンデンサの一方の端子である第1端子が接続され、第1の期間において、第2コンデンサの他方端子である第2端子を所定電圧線に接続し、上記駆動用トランジスタの電流制御端子と電流入力端子とを接続し、この時の上記駆動用トランジスタの電流制御端子電位を第1のコンデンサおよび第2コンデンサに保持し、第2の期間において、上記駆動用トランジスタの電流制御端子と電流入力端子との接続を遮断し、第2コンデンサの第2端子の接続を上記所定電圧線との接続から上記駆動用トランジスタの電流入力端子との接続に切り替え、上記駆動用トランジスタの電流制御端子電位を修正し、この時の上記駆動用トランジスタの電流制御端子電位を第1コンデンサに保持し、上記画素回路の非選択期間では、上記第1コンデンサに保持された駆動用トランジスタの

電流制御端子電位によって、電流駆動発光素子の非選択期間における供給電流を制御することを特徴としている。

【0069】

上記の駆動方法によれば、画素回路及びソースドライバ回路の選択期間中の第1の期間において、駆動用トランジスタへ所定の電流を流すことで、その駆動用トランジスタの閾値電圧・移動度のバラツキに対応した電流制御端子電位（電位 V_x とする）が得られる。この電流制御端子電位は第1コンデンサおよび第2コンデンサに保持される。またこのとき、第1のコンデンサの第1端子と第2のコンデンサの第1端子は接続されており、第2コンデンサの第2端子は所定電圧線（上記所定電流を流す場合に対応した一定電位 V_a とする）に接続され、該第2コンデンサには、電位 $V_a - V_x$ が保持される。

【0070】

次に、第2の期間において、第2コンデンサの第2端子を上記駆動用トランジスタの電流入力端子（TFTのドレイン端子またはソース端子）へ接続する。このとき、駆動用トランジスタの電流入出力端子電位が V_a のとき、上記駆動用トランジスタの電流制御端子電位（TFTのゲート端子）が上記電位 V_x となる。

【0071】

その後、上記駆動用トランジスタへ所望の電流値を流すことで、上記駆動用トランジスタの電流制御端子電位（TFTのゲート端子）が変化する。このときの電流制御端子電位（TFTのゲート端子）は上記駆動用トランジスタの閾値電圧・移動度のバラツキに依らず、上記駆動用トランジスタの電流入力端子－電流出力端子間電位がほぼ等しい状態で上記駆動用トランジスタの電流制御端子電位（TFTのゲート端子）が設定される。また、この所定電流を電流駆動発光素子へ印加したとき、電流駆動発光素子で発生する電位ドロップは等しいので、上記駆動用トランジスタの電流入力端子－電流出力端子間電位がほぼ等しい状態で所定の電流値を出力するよう上記駆動用トランジスタの電流制御端子電位（TFTのゲート端子）を設定できる。

【0072】

このときの上記駆動用トランジスタの電流制御端子電位は第1のコンデンサと

第2のコンデンサの接続を切り離す場合第1のコンデンサに、切り離さない場合第1および第2のコンデンサに保持される。

【0073】

その後、上記画素回路の非選択期間において、上記駆動用トランジスタの電流入力端子ー電流出力端子間電位は変化するが、その変化後の電位は上記駆動用トランジスタの閾値電圧・移動度のバラツキに依らず一定なので、上記駆動用トランジスタの電流入力端子ー電流出力端子間を流れる電流値のバラツキを抑えることができる。

【0074】

【発明の実施の形態】

本発明の実施の形態について図1ないし図21、および図31ないし図40に基づいて説明すれば、以下の通りである。

【0075】

本発明に用いられるスイッチング素子は低温ポリシリコンTFTやCG (Continuous Grain) シリコンTFTなどで構成できるが、本実施の形態ではCGシリコンTFTを用いることとする。

【0076】

ここで、CGシリコンTFTの構成は、例えば“4.0-in. TFT-OLED Displays and a Novel Digital Driving Method” (SID'00 Digest、pp.924-927、半導体エネルギー研究所) に発表されており、CGシリコンTFTの製造プロセスは、例えば“Continuous Grain Silicon Technology and Its Applications for Active Matrix Display” (AM-LCD 2000、pp.25-28、半導体エネルギー研究所) に発表されている。すなわち、CGシリコンTFTの構成およびその製造プロセスは何れも公知であるため、ここではその詳細な説明は省略する。

【0077】

また、本実施の形態で用いる電気光学素子である有機EL素子についても、その構成は、例えば“Polymer Light-Emitting Diodes for use in Flat panel Display” (AM-LCD '01、pp.211-214、半導体エネルギー研究所) に発表されており公知であるため、ここではその詳細な説明は省略する。

【0078】

〔実施の形態1〕

本実施の形態1では、本発明に係る特徴的構成を画素回路において適用した場合について説明する。

【0079】

本実施の形態1に係る表示装置は、図1に示すように、その各画素回路 A_{ij} において、電源配線 V_s と共通配線 V_{com} との間に駆動用トランジスタである駆動用TFT1と電気光学素子である有機EL素子6とを直列に配置している。

【0080】

駆動用TFT1のゲート端子（電流制御端子）は、第1のスイッチ用トランジスタであるスイッチ用TFT3を介してソース配線 S_j と接続されている。駆動用TFT1とスイッチ用TFT3との間には、第1コンデンサ2および第2コンデンサ7の一方の端子が接続されている。第1コンデンサ2のもう一方の端子は、駆動用TFT1のソース端子（電流入力端子）および電源配線 V_s へ接続されている。第2コンデンサ7のもう一方の端子は、第3のスイッチ用トランジスタであるスイッチ用TFT8を介して所定電圧線 V_a に接続され、第2のスイッチ用トランジスタであるスイッチ用TFT9を介してソース配線 S_j に接続されている。尚、以下の説明では、第1コンデンサ2および第2コンデンサ7において、駆動用TFT1のゲートと接続される側の端子を第1端子、第1端子と反対側の端子を第2端子とする。

【0081】

スイッチ用TFT3およびスイッチ用TFT8のゲート端子は制御配線 C_i に接続されており、スイッチ用TFT9のゲート端子は制御配線 G_i に接続されている。

【0082】

駆動用TFT1のドレイン端子（電流出力端子）と有機EL素子6の陽極との間にはスイッチ用TFT4が配置されており、該スイッチ用TFT4のゲート端子は制御配線 R_i に接続されている。駆動用TFT1とスイッチ用TFT4との間の接続点は、スイッチ用TFT5を介してソース配線 S_j と接続されており、

該スイッチ用 T F T 5 のゲート端子は制御配線 W i に接続されている。

【0083】

これら制御配線 C i , G i , W i のうち何れを第 2 の配線 (ゲート配線) としても良いし、これらスイッチ用 T F T 3 , 9 , 5 のうち何れを選択用 T F T としても良い。

【0084】

この回路構成では、駆動用 T F T 1 のゲート端子は、スイッチ用 T F T 3、ソース配線 S j およびスイッチ用 T F T 5 を介して駆動用 T F T 1 のドレイン端子へ接続される。また、第 2 コンデンサ 7 の第 2 端子は、スイッチ用 T F T 9、ソース配線 S j およびスイッチ用 T F T 5 を介して駆動用 T F T 1 のドレイン端子へ接続される。

【0085】

上記のように本発明の手段では、第 1 のスイッチ用 T F T であるスイッチ用 T F T 3 は直接駆動用 T F T の電流制御端子と電流出力端子間を接続する場合だけでなく、ソース配線 S j、スイッチ用 T F T 5 を通して間接的に接続する場合も含む。

【0086】

また、第 2 のスイッチ用 T F T であるスイッチ用 T F T 9 も直接第 2 のコンデンサの第 2 端子と駆動用 T F T の電流出力端子間を接続する場合だけでなく、上記のようにソース配線 S j、スイッチ用 T F T 5 を通して間接的に接続する場合も含む。

【0087】

上記表示装置の画素回路 A i j における動作を、制御配線 R i , W i , C i , G i およびソース配線 S j の動作タイミングを示す図 2 を参照して以下に説明する。

【0088】

本実施の形態 1 に係る駆動方法では、選択期間である時間 0 ~ 5 t 1 の間に、制御配線 R i の電位を H i g h (G H) としてスイッチ用 T F T 4 を O F F 状態とし、制御配線 W i の電位を L o w (G L) としてスイッチ用 T F T 5 を O N 状

態とする。

【0089】

そして、第1の期間（時間 $t_1 \sim 2t_1$ ）において、制御配線 C_i の電位を H_{igh} として、スイッチ用 T F T 3・8 を ON 状態とする。この結果、駆動用 T F T 1 のゲート端子とドレイン端子とはスイッチ用 T F T 3・5 を通じて接続される。また、第2コンデンサ7における第2端子は、スイッチ用 T F T 8 を通じて所定電圧線 V_a へ接続される。そしてこのとき、電源配線 V_s から駆動用 T F T 1、スイッチ用 T F T 5、ソース配線 S_j を通じて、図示しないソースドライバ回路へ向けて一定電流が流される。

【0090】

なお、上記第1の期間は時間0から始めても構わないので、図2ではそのことを破線を用いて示す。

【0091】

その後（時間 $2t_1$ 以降）、制御配線 C_i の電位を L_{ow} としてスイッチ用 T F T 3・8 を OFF 状態とする。これはスイッチ T F T 3 または 8 とスイッチ T F T 9 が同時に ON 状態とならないようにするためであり、実際に必要な期間は t_1 より短い。このとき、上記第1の期間で設定されたソース配線 S_j の電位は、第1コンデンサ2および第2コンデンサ7を用いて保持される。

【0092】

次に、第2の期間（時間 $3t_1 \sim 4t_1$ ）において、制御配線 G_i の電位を H_{igh} として、スイッチ用 T F T 9 を ON 状態とする。この結果、第2コンデンサ7の第2端子は、駆動用 T F T 1 のドレイン端子とスイッチ用 T F T 9・5 を通じて接続される。そしてこのとき、電源配線 V_s から駆動用 T F T 1、スイッチ用 T F T 5、ソース配線 S_j を通じて図示しないソースドライバ回路へ所望の電流が流れる。

【0093】

上記第2の期間で設定された駆動用 T F T 1 のソース・ゲート間電位は、その後（時間 $4t_1$ 以降）、制御配線 G_i の電位を L_{ow} としスイッチ用 T F T 9 を OFF 状態とすることで、第1コンデンサ2および第2コンデンサ7に保持され

る。なお、この後制御配線 R_i が Low となり、制御配線 W_i が $High$ となるまでの時間 $4t_1 \sim 5t_1$ は、スイッチ用 T F T 9 が確実に OFF 状態となつてから、選択期間を終えるためであり、そのために必要な時間は t_1 より短くて良い。

【0094】

以上でこの画素回路 A_{ij} の選択期間が終わり、次の画素回路 $A_{(i+1)j}$ の選択期間になるが、上記画素回路 A_{ij} における駆動用 T F T 1 のソース・ゲート間電位 V_{sg} 、ソース・ドレイン間電位 V_{sd} の変化をシミュレーションした結果を図 3 に示す。尚、図 3 において示しているソース・ドレイン間電位 $V_{sd}(1) \sim V_{sd}(5)$ 、およびソース・ゲート間電位 $V_{sg}(1) \sim V_{sg}(5)$ のそれぞれは、駆動用 T F T 1 の閾値電圧・移動度の特性が以下の表 1 に示す条件に相当する。

【0095】

【表 1】

	$I_{oled}(1)$	$I_{oled}(2)$	$I_{oled}(3)$	$I_{oled}(4)$	$I_{oled}(5)$
	$V_{sg}(1)$	$V_{sg}(2)$	$V_{sg}(3)$	$V_{sg}(4)$	$V_{sg}(5)$
	$V_{sd}(1)$	$V_{sd}(2)$	$V_{sd}(3)$	$V_{sd}(4)$	$V_{sd}(5)$
閾値電圧	平均値	下限	上限	上限	下限
移動度	平均値	下限	上限	下限	上限

【0096】

図 3 では、時間 $460 \sim 470 \mu s$ が上記第 1 の期間に相当する。図 3 から判る通り、この期間では駆動用 T F T 1 のソース・ドレイン間電位 $V_{sd}(1) \sim (5)$ とソース・ゲート間電位 $V_{sg}(1) \sim (5)$ とは一致している。

【0097】

また、図 3 では、時間 $480 \sim 490 \mu s$ が上記第 2 の期間に相当する。図 3 から判る通り、この期間では駆動用 T F T 1 の閾値電圧・移動度の条件の違いに関わらず、ソース・ドレイン間電位 V_{sd} はほぼ同じ値となっている。

【0098】

これは、先の第1期間において、第2コンデンサ7の第2端子を一定電位 V_a に接続し、その後、この第2端子を駆動用TFT1のドレイン端子に接続することで、駆動用TFT1のソース・ドレイン間電位が $V_s - V_a$ のとき、ソース・ゲート間電位が上記図12の第1期間のソース・ゲート間電位となるよう第1及び第2コンデンサへ電荷が貯められたためである。

【0099】

このことにより、駆動用TFT1の閾値電圧・移動度のばらつきに依らず、駆動用TFT1のソース・ドレイン間電位が上記電位 $V_s - V_a$ のとき、駆動用TFT1のソース・ゲート間電位が上記第1期間のソース・ゲート間電位となるよう設定できる。この状態で電源配線 V_s から駆動用TFT1、スイッチ用TFT5、ソース配線 S_j を通して図示しないソースドライバ回路へ所望の電流を流す。このとき発生するソース・ゲート間電位 V_{sg} は、駆動用TFTの閾値電圧・移動度のばらつきに依らず、駆動用TFT1のソース・ドレイン間電位が一定であれば、駆動用TFT1から概ね一定の電流を流す条件で設定される。

【0100】

その後、図3に示すように、非選択期間（概ね時間 $500\mu s$ 以降）において、駆動用TFT1のソース・ドレイン間電位は変化する。しかし、この駆動用TFT1の負荷である有機EL素子6はダイオード的特性を示すので、多少の電流値の違いがあっても電位ドロップは概ね一定となる。このため、駆動用TFT1のドレイン端子電位は駆動用TFT1の閾値電圧・移動度のばらつきに依らず概ね一定となり、駆動用TFT1のソース・ドレイン間電圧はほぼ一定となる。この結果、駆動用TFT1の閾値電圧・移動度に依らず、有機EL素子6を流れる電流値のばらつきが抑えられる。

【0101】

この有機EL素子6を流れる電流値をシミュレーションで求めた結果を図4および図5に示す。

【0102】

図4におけるシミュレーションでは、 $0.32ms$ 毎に選択期間が来るよう設

定し、最初の時間 $0.35\text{ms} \sim 0.67\text{ms}$ の間でソース配線 S_j へ電流値 0.1uA が流れるよう設定した。それ以降は、時間 0.32ms 毎に、ソース配線 S_j へ流れる電流値を 0.1uA 刻みで 0.9uA まで増加させ、その後 0 に戻し、再度 0.1uA 刻みで増加させている。

【0103】

このシミュレーションにおいて、ソース配線 S_j に流した電流値 ($0 \sim 0.9\text{uA}$ 迄の 10 点) を横軸にし、これらの各電流値を与えた後の非選択期間における有機 EL 素子 6 へ流れる電流値を縦軸として、そのばらつきを示したのが図 5 である。図 5 において、ソース配線 S_j へ 0.9uA の電流を流した後の非選択期間では、有機 EL 素子 6 を流れる電流値は約 $0.97 \sim 1.01\text{uA}$ ($+8\% \sim +13\%$) の範囲でばらついている。

【0104】

これは、図 26 に示した従来技術でのシミュレーション結果 ($+5\% \sim +24\%$ のばらつき、即ち幅 19% のばらつき) に比べ充分小さくなっており、本発明の手段が有効 ($+8\% \sim +13\%$ のばらつき、即ち幅 5% のばらつき) であることを証明している。

【0105】

なお、本発明に係る画素回路構成において、上記ばらつきを更に抑えるには、第 1 および第 2 コンデンサ $2, 7$ の絶対容量およびその相対比、一定電位 V_a の値、駆動用 $TFT1$ のゲート幅等を最適化することが有効である。

【0106】

例えば、第 2 コンデンサ 7 の容量 C_2 と第 1 コンデンサ 2 の容量 C_1 との比 C_2/C_1 は、その比が小さいほど、第 2 の期間で起こるソース・ゲート間電位 V_{sg} の変化を得るために必要なソース・ドレイン間電位の変化を抑えることができる。この場合、駆動用 $TFT1$ の閾値電圧・移動度に依るソース・ドレイン間電位のばらつきを抑え、非選択期間に有機 EL 素子 6 に流れる電流値のばらつきを抑えるので好ましい。

【0107】

但し、各コンデンサの容量の絶対値を小さくしすぎると、各コンデンサに保持

される電位が、そのコンデンサに繋がるスイッチ用 T F T 3, 8, 9 のゲート端子電位の変化の影響を受け、その結果、非選択期間に有機 E L 素子 6 に流れる電流値をばらつかせるので好ましくない。

【0108】

また、第 1 の期間に与える一定電位 V_a の値は、電源配線 V_s との電位差 $V_s - V_a$ が、非選択時に想定されるソース・ドレイン間電位 V_{sd} よりやや大きめに設定されることが好ましい。但し、電位差 $V_s - V_a$ の設定が余りに大きすぎる場合、電流書き込み時と非選択時とのソース・ドレイン間電位 V_{sd} の変化が大きくなりすぎ、ソース配線 S_j から供給した電流値に比べ、実際に有機 E L 素子 6 に流れる電流値が小さくなり過ぎるので好ましくない。

【0109】

また、駆動用 T F T 1 のゲート幅 W については、大きすぎると駆動用 T F T 1 のソース・ゲート間電位が小さくなりすぎて、ゲート電位の変動が非選択期間に有機 E L 素子 6 に流れる電流値をばらつかせるため好ましくない。また、上記ゲート幅 W は、小さすぎても必要な電流を得るのに必要なソース・ドレイン間電位が大きくなり過ぎるため好ましくない。

【0110】

本実施の形態 1 で用いた有機 E L 素子に対しては、図 1 に示す画素回路 A_{ij} において、 $C_1 = 1000 \text{ fF}$ 、 $C_2 = 500 \text{ fF}$ 、 $V_s = 16 \text{ V}$ 、 $V_a = 10 \text{ V}$ 、 $W = 12 \text{ } \mu\text{m}$ のとき、有機 E L を流れる電流値のばらつきが最も少なくなり（1%程度）好適であった。

【0111】

なお、これら第 1 および第 2 コンデンサ 2, 7 の絶対容量 C_1 、 C_2 およびその相対比、一定電位 V_a の値、駆動用 T F T 1 のゲート幅 W は駆動すべき有機 E L 素子の特性、必要な輝度、用いる駆動用 T F T 1 の特性に依存するので、実際にパネルを設計するときに、改めてシミュレーションを重ねた上で決定する必要がある。

【0112】

なお、図 1 の画素回路構成では、駆動用 T F T 1 のゲート端子とドレイン端子

とを接続するためにスイッチング用 T F T 3 をソース配線 S_j へ接続したが、直接駆動用 T F T 1 のドレイン端子へ接続しても良い。これは、第 2 コンデンサ 7 の第 2 端子を駆動用 T F T 1 のドレイン端子へ接続するためのスイッチング用 T F T 9 についても同様であり、スイッチング用 T F T 3, 9 は、直接駆動用 T F T 1 のドレイン端子へ接続しても良い。

【0113】

また、有機 E L 素子を駆動用 T F T のソース側に配置することもできる。このとき、図 6 に示すように、駆動用 T F T 1' は n 型 T F T となり、有機 E L 素子 6' の陰極が駆動用 T F T 1' のソース端子側に繋がる。また、上記図 6 に示す構成では、スイッチ用 T F T 4' およびスイッチ用 T F T 5' が共に n 型 T F T として形成されている点が図 1 に示す画素回路構成と異なっている。

【0114】

また、スイッチ用 T F T 3 は駆動用 T F T 1' のドレイン端子へ接続されている。スイッチ用 T F T 9 も同様である。

【0115】

図 6 に示す画素回路構成について、その他の配線、動作は図 1 と同様なので、図 1 と同様の構成については同一の部材番号を付し、ここではその説明を省略する。

【0116】

〔実施の形態 2〕

本実施の形態 2 では、本発明に係る特徴的構成を画素回路およびソースドライバ回路において適用した場合の第 1 の例について説明する。

【0117】

本実施の形態 2 に係る表示装置は、本発明の特徴的構成部分を、画素回路とソースドライバ回路とに分割して配置した構成である。このため、上記表示装置は、図 7 に示すように、第 1 の配線であるソース配線 S_j ($j = 1 \sim m$ の整数) と第 2 の配線であるゲート配線 G_i ($i = 1 \sim n$ の整数) とが交差する領域に画素回路 A_{ij} を配置し、ソース配線 S_j にソースドライバ回路 50 を接続し、ゲート配線 G_i にゲートドライバ回路 51 を接続した構成となっている。

【0118】

上記表示装置において、本発明の特徴的構成を含む画素回路 A_{ij} とソースドライバ回路 50 の出力段であるソースドライバ出力端回路 D_j との構成を図 8 に示す。

【0119】

本実施の形態 2 に係る表示装置では、上記図 8 に示すように、ソース配線 S_j とゲート配線 G_i が交差する領域に画素回路 A_{ij} が配置され、各画素回路 A_{ij} には、アクティブ素子である駆動用 TFT 11 と電気光学素子である有機 EL 素子 16 と第 1 コンデンサ 12 が配置されている。この駆動用 TFT 11 と有機 EL 素子 16 とは、電源配線 V_s と共通配線 V_{com} の間に直列に配置されている。

【0120】

そして、駆動用 TFT 11 のゲート端子（電流制御端子）には第 1 コンデンサ 12 の一方の端子（第 1 端子とする）が接続され、第 1 コンデンサ 12 のもう一方の端子（第 2 端子とする）は駆動用 TFT 11 のソース端子（電流入力端子）および電源配線 V_s へ接続されている。

【0121】

また、この画素回路構成では、ソース配線 S_j に平行に第 3 の配線である信号線 T_j が配置され、駆動用 TFT 11 のゲート端子はスイッチ用 TFT 15 を介して信号線 T_j に接続している。

【0122】

さらに、駆動用 TFT 11 のドレイン端子（電流出力端子）と有機 EL 素子 16 の陽極との間にはスイッチ用 TFT 13 が配置されており、駆動用 TFT 11 とスイッチ用 TFT 13 との間の接続点は、スイッチ用 TFT 14 を介してソース配線 S_j と接続されている。

【0123】

この画素回路 A_{ij} を構成するスイッチ用 TFT 15, 14, 13 のゲート端子には各々制御配線 G_i , W_i , R_i が接続されている。

【0124】

ソースドライバ回路 50 では、複数の画素回路 $A_{1j} \sim A_{nj}$ に対応して 1 つの出力端回路 D_j が配置されている。この出力端回路 D_j は、図 8 に示すように、信号線 T_j に第 2 コンデンサ 25 の一方の端子（第 1 端子とする）が接続され、更に信号線 T_j とソース配線 S_j との間に第 1 のスイッチ用トランジスタであるスイッチ用 TFT 22 が配置されている。また、第 2 コンデンサ 25 のもう一方の端子（第 2 端子とする）と所定電圧線 V_a の間には第 3 のスイッチ用トランジスタであるスイッチ用 TFT 23 が配置され、第 2 コンデンサ 25 の第 2 端子とソース配線 S_j との間には第 2 のスイッチ用トランジスタであるスイッチ用 TFT 24 が配置されている。さらに、信号線 T_j と OFF 電位線 V_{off} との間には第 4 のスイッチ用トランジスタであるスイッチ用 TFT 21 が配置されている。

【0125】

上記出力端回路 D_j において、スイッチ用 TFT 21 のゲート端子には制御配線 E_j が接続され、スイッチ用 TFT 22, 23 のゲート端子には制御配線 C_j が接続され、スイッチ用 TFT 24 のゲート端子には制御配線 B_j が接続されている。

【0126】

上記表示装置の画素回路 A_{ij} および出力端回路 D_j における動作を、制御配線 $R_i, W_i, G_i, C_j, E_j, B_j$ およびソース配線 S_j の動作タイミングを示す図 9 を参照して以下に説明する。

【0127】

本実施の形態 2 に係る駆動方法では、画素回路 A_{ij} の選択期間である時間 $0 \sim 5t_1$ の間に、制御配線 R_i の電位を High (GH) としてスイッチ用 TFT 13 を OFF 状態とし、制御配線 W_i の電位を Low (GL) としてスイッチ用 TFT 14 を ON 状態とする。

【0128】

画素回路 A_{ij} では、第 1 の期間（時間 $t_1 \sim 2t_1$ ）において、制御配線 G_i の電位を High としてスイッチ TFT 15 を ON 状態とし、駆動用 TFT 11 のゲート端子を信号線 T_j と電氣的に接続させる。これにより、駆動用 TFT

11のゲート端子に第1コンデンサ12および第2コンデンサ25が接続された状態を作る。

【0129】

これと前後し、出力端回路Djでは、制御配線Cjの電位をHighとして、スイッチ用TF T22, 23をON状態とする。この結果、駆動用TF T11のゲート端子とドレイン端子とが、スイッチ用TF T15, 22, 14を通じて電氣的に接続される。また、第2コンデンサ25の第2端子は、スイッチ用TF T23を通じて所定電圧線Vaへ接続される。このとき、電源配線Vsから駆動用TF T11, スイッチ用TF T14, ソース配線Sjを通して電流出力端Ijより一定電流が流れる。

【0130】

その後、このときのソース配線Sjの電位を第1コンデンサ12および第2コンデンサ25を用いて保持するために、制御配線Cjの電位をLowとしてスイッチ用TF T22, 23をOFF状態とする。

【0131】

このとき、第1コンデンサ12および第2コンデンサ25により、駆動用TF T11のゲートでは、該駆動用TF T11の閾値電圧・移動度に依らず、第2コンデンサ25の第2端子電位がVaのとき、先の一定電流（上記第1の期間で駆動用TF T11のソース・ドレイン間に流れた電流）が流れるような電位が保持される。

【0132】

次に、第2の期間（時間3t1～4t1）では、制御配線Bjの電位をHighとして、スイッチ用TF T24をON状態とする。この結果、第2コンデンサ25の第2端子は、スイッチ用TF T24, 14を通じて駆動用TF T11のドレイン端子と接続される。このとき、電源配線Vsから駆動用TF T11, スイッチ用TF T14, ソース配線Sjを通じて電流出力端Ijより所望の電流が流される。

【0133】

これにより、上記第2の期間では、駆動用TF T11の閾値電圧・移動度に依

らず、駆動用TFT11のソース・ドレイン間電位が上記電位 $V_s - V_a$ のとき、駆動用TFT11に上記電流を流すよう設定される。そして、駆動用TFT11へ所望の電流を流すことで、駆動用TFT11のソース・ドレイン間電位が概ね一定の条件で駆動用TFTのゲート・ソース間電位を設定できる。

【0134】

この第2の期間での駆動用TFT11のソース・ゲート間電位は、その後、時間 $4t_1$ で、制御配線Giの電位をLowとし、スイッチ用TFT15をOFF状態とすることで、第1コンデンサ12に保持される。

【0135】

その後、時間 $5t_1$ で、制御配線Bjの電位をLowとしてスイッチ用TFT24をOFF状態とすることで第2コンデンサ25とソース配線Sjとの電氣的接続を遮断し、制御配線Wiの電位をHighとしてスイッチ用TFT14をOFF状態とすることで駆動用TFT11のドレイン端子とソース配線Sjとの電氣的接続を遮断する。さらに、制御配線Riの電位をLowとしてスイッチ用TFT13をON状態として駆動用TFT11から有機EL素子16へ電流を流す状態とする。

【0136】

以上で、画素回路Aijの選択期間が終わり、次の画素回路A(i+1)jの選択期間になる。

【0137】

上記図8に示す画素回路構成およびソースドライバ回路の出力端回路構成を用いて、有機EL素子16を流れる電流値をシミュレーションで求めた結果を図10に示す。

【0138】

図10におけるシミュレーションでは、0.55ms毎に選択期間が来るよう設定し、最初の時間0.06ms~0.61msの間でソース配線Sjへ電流値0.1uAが流れるよう設定した。それ以降は、時間0.55ms毎に、ソース配線Sjへ流れる電流値を0.1uA刻みで0.9uAまで増加させ、その後0に戻し、再度0.1uA刻みで増加させている。

【0139】

上記図10と実施の形態1で示した図4とを比較すれば判る通り、本実施の形態2のように本発明の特徴的構成の一部をソースドライバ回路に配置した構成でも、総てを画素回路に配置した実施の形態1の構成と同様に、駆動用TFT11の閾値電圧・移動度のばらつきの影響を弱め、非選択期間に有機EL素子16に流れる電流値のばらつきを抑えることができる。

【0140】

また、図8の画素回路構成と実施の形態1で示した図1の画素回路構成とを比較すれば判る通り、本実施の形態2に係る構成では、スイッチ用TFTやコンデンサをソースドライバ回路側に配置するので、ボトムエミッション構成（TFT素子を形成した透明基板側に光を放出する構成）の表示装置において、画素当たり配置できる有機EL素子の面積を大きくできるといった効果が得られる。

【0141】

この結果、有機EL素子の単位面積当たりの発光輝度が抑えられるので、有機EL素子の輝度半減寿命を延ばすことができる。

【0142】

また、本実施の形態2において、非選択期間における有機EL素子16の電流値を0とする場合、図9における期間6t1～10t1に示す期間で、制御配線Ejの電位をHighとしてスイッチ用TFT21をON状態とし、信号線TjへOFF電位Voffを供給すればよい。またこの間、制御配線Cj、制御配線Bjの電位はLowとする。

【0143】

その結果、上記期間（6t1～10t1）、信号線TjはOFF電位となるので、図10の5.01～5.56msに示すように、有機EL素子16を流れる電流値をほぼ0とできる。

【0144】

このシミュレーション結果と従来の図25のシミュレーション結果とを比較すれば、図8に示す回路構成において、スイッチ用TFT21を用いることで、有機EL素子16を流れる電流値を0に近づけることができることが判る。その結

果、表示装置のコントラストを向上することができるので好ましい。

【0145】

〔実施の形態3〕

本実施の形態3では、本発明に係る特徴的構成を画素回路およびソースドライバ回路において適用した場合の第2の例について説明する。

【0146】

本実施の形態3に係る表示装置も、本発明の特徴的構成部分を、画素回路とソースドライバ回路とに分割して配置した構成である。このため、上記表示装置は、実施の形態2と同様に図7に示すような構成となり、ここではその説明を省略する。

【0147】

上記表示装置において、本発明の特徴的構成を含む画素回路 A_{ij} とソースドライバ回路50の出力段であるソースドライバ出力端回路 D_j との構成を図11に示す。

【0148】

本実施の形態3に係る表示装置では、図11に示すように、画素回路 A_{ij} の構成において、実施の形態2で示した図8の画素回路構成の3本の制御配線 G_i 、 W_i 、 R_i の代わりに1本のゲート配線 G_i を用い、p型TFETであるスイッチ用TFET14の代わりにn型TFETであるスイッチ用TFET14'を用いている。すなわち、図11に示す画素回路 A_{ij} では、スイッチ用TFET13、15、14'がゲート配線 G_i により駆動される。

【0149】

また、電源配線 V_s をソース配線 S_j に平行な状態から、ゲート配線 G_i に平行な状態に変更している。その他の点では図11の回路は図8の回路と同じなので、ここではその詳しい説明は省略する。

【0150】

上記表示装置の画素回路 A_{ij} および出力端回路 D_j における動作を、制御配線 G_i 、 C_j 、 E_j 、 B_j およびソース配線 S_j の動作タイミングを示す図12を参照して以下に説明する。

【0151】

本実施の形態3に係る駆動方法では、画素回路 A_{ij} の選択期間のうち、時間 $t_1 \sim 5t_1$ で、ゲート配線 G_i の電位を $High$ (GH) として、スイッチ用TFT13をOFF状態とし、スイッチ用TFT14', 15をON状態とする。

【0152】

この期間、駆動用TFT11のゲート端子が信号線 T_j と接続し、駆動用TFT11のゲート端子に第1コンデンサ12, 第2コンデンサ25が接続された状態となる。

【0153】

これと前後し、出力端回路 D_j では、第1の期間 (時間 $t_1 \sim 2t_1$) において制御配線 C_j の電位を $High$ として、スイッチ用TFT22, 23をON状態とする。この結果、駆動用TFT11のゲート端子とドレイン端子とが、スイッチ用TFT15, 22, 14' を通じて接続される。また、第2コンデンサ25の第2端子は所定電圧線 V_a へ接続される。

【0154】

そして、電源配線 V_s から駆動用TFT11, スwitch用TFT14', ソース配線 S_j を通して電流出力端 I_j より一定電流を引き抜く。このときのソース配線 S_j の電位は、時間 $2t_1$ において制御配線 C_j の電位を Low としてスイッチ用TFT22, 23をOFF状態とすることにより、第1コンデンサ12および第2コンデンサ25を用いて保持される。

【0155】

このとき、第1コンデンサ12および第2コンデンサ25により、駆動用TFT11のゲートでは、該駆動用TFT11の閾値電圧・移動度を補償し、第2コンデンサ25の第2端子電位が V_a のとき、先の一定電流 (上記第1の期間で駆動用TFT11のソース・ドレイン間に流れた電流) が流れるような電位が保持される。

【0156】

次に、第2の期間 (時間 $3t_1 \sim 4t_1$) では、制御配線 B_j の電位を $High$

hとして、スイッチ用TFT24をON状態とする。この結果、第2コンデンサ25の第2端子は、スイッチ用TFT24, 14'を通じて駆動用TFT11のドレイン端子と接続される。

【0157】

このとき、電源配線Vsから駆動用TFT11, スwitch用TFT14', ソース配線Sjを通して電流出力端Ijより所望の電流が流される。これにより、上記第2の期間では、駆動用TFT11の閾値電圧・移動度に依らず、駆動用TFT11のソース・ドレイン間電位を概ね一定とした状態で、駆動用TFT11に所望の電流を流すようそのゲート・ソース間電位を設定できる。

【0158】

この第2の期間での駆動用TFT11のソース・ゲート間電位は、その後、時間4t1で、制御配線Bjの電位をLowとし、スイッチ用TFT24をOFF状態とすることで、第2コンデンサ25に保持される。

【0159】

その後、時間5t1で、ゲート配線Giの電位をLowとしてスイッチ用TFT15をOFF状態とすることで第1コンデンサ12と信号配線Tjとの電氣的接続を遮断し、このときの信号配線Tjの電位を第1コンデンサ12へ保持する。同時に、スイッチ用TFT14'をOFF状態とすることで駆動用TFT11のドレイン端子とソース配線Sjとの電氣的接続を遮断すると共に、スイッチ用TFT13をON状態として、駆動用TFT11から有機EL素子16へ電流を流す状態とする。

【0160】

以上で、画素回路Aijの選択期間が終わり、次の画素回路A(i+1)jの選択期間になる。

【0161】

上記図11に示す画素回路構成およびソースドライバ回路の出力端回路構成を用いて、有機EL素子16を流れる電流値をシミュレーションで求めた結果を図13に示す。

【0162】

図13におけるシミュレーションでは、0.55ms毎に選択期間が来るよう設定し、最初の時間0.06ms～0.61msの間でソース配線S_jへ電流値0.1μAが流れるよう設定した。それ以降は時間0.55ms毎に、ソース配線S_jへ流れる電流値を0.1μA刻みで0.9μAまで増加させ、その後0に戻し、再度0.1μA刻みで増加させている。

【0163】

本実施の形態3に係るシミュレーション結果と従来の技術で示した図25のシミュレーション結果とを比較すれば判る通り、本実施の形態3のように画素回路A_{ij}における制御配線を減らした構成でも、駆動用TF₁₁の閾値電圧・移動度のばらつきの影響を弱め、非選択期間に有機EL素子16に流れる電流値のばらつきを抑えることができる。

【0164】

また、本実施の形態3に係る図11の画素回路構成と実施の形態2で示した図8の画素回路構成とを比較すれば判る通り、本実施の形態3では制御配線G_iが1本だけで済むので、ボトムエミッション構成（TF₁₁素子を形成した透明基板側に光を放出する構成）の表示装置において、画素あたりに配置できる有機EL素子の面積をより大きくでき、有機EL素子の輝度半減寿命を延ばすことができるので好ましい。

【0165】

〔実施の形態4〕

本実施の形態4では、本発明に係る特徴的構成をソースドライバ回路において適用した場合の例について説明する。

【0166】

本実施の形態3に係る表示装置において、ソースドライバ回路の出力段である電流出力回路F_jの構成を図14に示す。上記電流出力回路F_jにおける出力端子I_jは、例えば、図1に示すソース配線S_jや、図8および図11に示す電流出力端I_jへ接続されるものである。

【0167】

上記電流出力回路F_jは、アクティブ素子である駆動用TF₃₁のゲート端

子（電流制御端子）に第1コンデンサ32および第2コンデンサ33の一方の端子（第1端子とする）が接続された構成である。また、第1コンデンサ32におけるもう一方の端子（第2端子とする）および駆動用TFT31のドレイン端子（電流出力端子）は共通電極Vcomに接続されている。

【0168】

この駆動用TFT31のゲート端子とTFTのソース端子（電流入力端子）との間には、スイッチ用TFT34およびスイッチ用TFT35が直列に配置されている。

【0169】

また、第2コンデンサ33のもう一方の端子（第2端子とする）と所定電圧線Vbの間にはスイッチ用TFT36が配置され、第2コンデンサ33の第2端子と駆動用TFT31のソース端子との間にはスイッチ用TFT37とスイッチ用TFT35とが直列に配置されている。

【0170】

さらに、電流出力回路Fjの出力端子Ijと駆動用TFT31のソース端子の間にはスイッチ用TFT38が配置されている。

【0171】

このスイッチ用TFT34, 36のゲート端子には制御配線DCjが接続され、スイッチ用TFT37, 35, 38のゲート端子には制御配線DPj, DWj, DRjがそれぞれ接続されている。

【0172】

上記表示装置のソースドライバ回路における電流出力回路Fjにおける動作を、制御配線DRj, DWj, DCj, DPj, および共通電流配線Icomの動作タイミングを示す図15を参照して以下に説明する。

【0173】

本実施の形態4に係る駆動方法では、電流設定期間である時間t1～5t1の間に、制御配線DRjの電位をLowとしてスイッチ用TFT38をOFF状態とし、制御配線DWjの電位をHighとしてスイッチ用TFT35をON状態とする。

【0174】

そして、第1の期間（時間 $t_1 \sim 2t_1$ ）では、制御配線DC j の電位をHighとして、スイッチ用TFT34, 36をON状態とする。この結果、駆動用TFT31のゲート端子とソース端子とは、スイッチ用TFT34, 35を通じて電氣的に接続される。また、第2コンデンサ33の第2端子は、スイッチ用TFT36を通じて所定電圧線V b へ接続される。このとき、共通電流配線I c_{om} からスイッチ用TFT35, 駆動用TFT31を通して共通電極V c_{om} へ一定電流を流す。

【0175】

そして、上記第1の期間での共通電流配線I c_{om} の電位を第1コンデンサ32および第2コンデンサ33を用いて保持するため、時間 $2t_1$ において制御配線DC j の電位をLowとし、スイッチ用TFT34, 36をOFF状態とする。

【0176】

このとき、第1コンデンサ32および第2コンデンサ33により、駆動用TFT31のゲートでは、該駆動用TFT31の閾値電圧・移動度を補償し、第2コンデンサ33の第2端子電位がV b のとき、先の一定電流（上記第1の期間で駆動用TFT31のソース・ドレイン間に流れた電流）が流れるような電位が保持される。

【0177】

次に、第2の期間（時間 $3t_1 \sim 4t_1$ ）では、制御配線DP j の電位をHighとして、スイッチ用TFT37をON状態とする。この結果、第2コンデンサ33の第2端子は、駆動用TFT31のソース端子とスイッチ用TFT37, 35を通じて接続される。このとき、共通電流配線I c_{om} からスイッチ用TFT35, 駆動用TFT31を通じて共通電極V c_{om} へ所望の電流が流される。

【0178】

これにより、上記第2の期間では、駆動用TFT31の閾値電圧・移動度に依らず、駆動用TFT31のソース・ドレイン間電位を概ね一定とした状態で、駆動用TFT31に所望の電流を流すようゲート・ドレイン間電位が設定できる。

【0179】

この第2の期間での駆動用TFT31のゲート・ドレイン間電位は、時間4t₁で、制御配線DP_jの電位をLowとし、スイッチ用TFT37をOFF状態とすることで、第1コンデンサ32および第2コンデンサ33に保持される。

【0180】

その後、時間5t₁で、制御配線DW_jの電位をLowとしてスイッチ用TFT35をOFF状態とし、共通電流配線I_{com}と駆動用TFT31のソース端子との電氣的接続を遮断する。さらに、制御配線DR_jの電位をHighとしてスイッチ用TFT38をON状態とすることで、電流出力端子I_jから駆動用TFT31へ所望の電流を流す状態とする。

【0181】

以上で、この電流出力回路F_jの選択期間が終わり、次の電流出力回路F_{j+1}の電流設定期間となる。

【0182】

上記電流出力回路F_jの選択期間において、駆動用TFT31の閾値電圧・移動度を以下の表2の条件で変化させ、駆動用TFT31のソース・ドレイン間電圧V_{sd}とゲート・ドレイン間電圧V_{gd}とをシミュレーションした結果を図16に示す。

【0183】

【表2】

	Ioled(1)	Ioled(2)	Ioled(3)	Ioled(4)	Ioled(5)
	Vgd(1)	Vgd(2)	Vgd(3)	Vgd(4)	Vgd(5)
	Vsd(1)	Vsd(2)	Vsd(3)	Vsd(4)	Vsd(5)
閾値電圧	平均値	上限	下限	上限	下限
移動度	平均値	上限	下限	下限	上限

【0184】

図16では、時間0.61～0.62msが上記第1の期間に相当する。図1

6 から判るとおり、この期間では駆動用 T F T 3 1 のソース・ドレイン間電位 V_{sd} (1) ~ (5) とソース・ゲート間電位 V_{sg} (1) ~ (5) とは一致している。

【0185】

また、図 16 では、時間 0.63 ~ 0.64 ms が上記第 2 の期間に相当する。図 16 から判るとおり、この期間では駆動用 T F T 3 1 のソース・ドレイン間電位 V_{sd} は、駆動用 T F T の閾値電圧・移動度の条件の違いに依らず、ほぼ同じ値となっている。

【0186】

すなわち、上記第 2 の期間では、共通電流配線 I_{com} からスイッチ用 T F T 3 5, 駆動用 T F T 3 1 を通じて共通電極 V_{com} へ所望の電流を流すので、駆動用 T F T の閾値電圧・移動度のばらつきに依らず、駆動用 T F T 3 1 のソース・ドレイン間電位が一定となる条件で駆動用 T F T 3 1 のゲート・ドレイン間電位 V_{gd} を設定できる。

【0187】

この結果、駆動用 T F T 3 1 の閾値電圧・移動度に依らず、駆動用 T F T 3 1 のソース・ドレイン間電位が等しければ、概ね一定の電流を流すことができる電流出力回路が実現できる。

【0188】

その後、電流出力回路 F_j の読み出し期間となるが、図 16 のシミュレーションでは、この電流出力端子 I_j と電源配線 V_s との間に有機 E L 素子の代わりに抵抗を配置したが駆動用 T F T 3 1 の出力電流値がほぼ一定であるため、この読み出し期間で駆動用 T F T 3 1 のソース・ドレイン間電圧 V_{sd} は、ほぼ一定となる。

【0189】

このとき、上記表 2 に示した 5 つの駆動用 T F T 3 1 の閾値電圧・移動度条件を用いて駆動用 T F T 3 1 の電流値ばらつきをシミュレーションした結果を図 17 に示す。

【0190】

図17におけるシミュレーションでは、0.55ms毎に選択期間が来るよう設定し、最初の時間0.06ms～0.65msの間でソース配線S_jへ電流値0.1μAが流れるよう設定した。それ以降は時間0.55ms毎に、ソース配線S_jへ流れる電流値を0.1μA刻みで0.9μAまで増加させ、その後0に戻し、再度0.1μA刻みで増加させている。

【0191】

図17のシミュレーション結果から判る通り、本実施の形態4に係るソースドライバ回路を用いれば、駆動用TF T 31の閾値電圧・移動度のばらつきによる、駆動用TF T 31を流れる電流値のばらつきを抑える（図17の時間3.6msで電流値のばらつきは1.05～1.15μAの範囲、即ち9%のばらつき範囲に収まっているので）効果がある。

【0192】

特に、出力電流が0.8μAまでは駆動用TF T 31の閾値電圧・移動度のばらつきに依らず、ほぼ均一な電流値が得られている。

【0193】

ところで、本発明の特徴的構成をソースドライバ回路として用いる場合、さらにその構成を画素回路においても本発明の特徴的構成を用いることが好ましい。以下にその例を説明する。

【0194】

すなわち、図14のソースドライバ回路の電流出力端子I_jに実施の形態1で示した図1の画素回路を接続し、その効果をシミュレーションにより調べてみた。

【0195】

まず、上記図14および図1に与える各制御端子の信号タイミングを図18のようにする。

【0196】

この駆動タイミングを用いて図14の駆動用TF T 31のソース・ドレイン間電位V_{sd}とソース・ゲート間電位V_{sg}をシミュレーションで調べた結果を図19に示す。

【0197】

図19においては、時間0.61～0.65msが図14のソースドライバ回路の駆動用TFT31の電流設定期間に相当し、時間0.70～0.75msが図1の画素回路の選択期間に相当する。

【0198】

また、時間0.61～0.62msがソースドライバ回路の駆動用TFT31の第1の期間に相当するが、この時、駆動用TFT31のソース・ドレイン間電位 V_{sd} とゲート・ドレイン間電位 V_{gd} とは一致している。

【0199】

次に、時間0.63～0.64msがソースドライバ回路の駆動用TFT31の第2の期間に相当するが、この時、駆動用TFT31のソース・ドレイン間電位 V_{sd} は、駆動用TFT31の閾値電圧・移動度に依らず一致する。

【0200】

次に、時間0.71～0.72msが画素回路の第1の期間に相当する。このとき、ソースドライバ回路の駆動用TFT31のソース・ドレイン間電位 V_{sd} が、画素回路の駆動用TFT1の閾値電圧・移動度のばらつきによりばらついていく。その結果、ソースドライバ回路の駆動用TFT31の出力電流もばらつく。

【0201】

しかし、画素回路の第2の期間に相当する時間0.73～0.74msでは、画素回路の駆動用TFT1の閾値電圧・移動度に依らず、ソースドライバ回路の駆動用TFT31のソース・ドレイン間電位 V_{sd} が一致する。その結果、図20に示すように、画素回路に配置した有機EL素子6を流れる電流値のばらつきは抑えられる。

【0202】

このように本発明の特徴的構成部分は、ソースドライバ回路の電流出力回路として用いることもできるし、画素回路で用いることもできる。何れの回路構成で用いても、本発明は駆動用TFTの閾値電圧・移動度に依らず、駆動用TFTへ所望の電流を流す効果がある。

【0203】

また、図6のように有機EL素子の陽極側を共通電極Vcomに接続するとき、これと共に用いるソースドライバ回路側において、図21に示すように、用いるTF T 31' および34' ~ 38' をすべてp型TF Tで構成することが好ましい。

【0204】

〔実施の形態5〕

本実施の形態5では、本発明に係る特徴的構成を画素回路およびソースドライバ回路において適用した場合の第3の例について説明する。

【0205】

本実施の形態5に係る表示装置も、本発明の特徴的構成部分を、画素回路とソースドライバ回路とに分割して配置した構成である。このため、上記表示装置は、実施の形態2と同様に図7に示すような構成となり、ここではその説明を省略する。

【0206】

上記表示装置において、本発明の特徴的構成を含む画素回路Aijとソースドライバ回路50の出力段であるソースドライバ出力端回路Djとの構成を図31に示す。

【0207】

本実施の形態5に係る表示装置では、上記図31に示すように、ソース配線Sjとゲート配線Giとが交差する領域に画素回路Aijが配置され、各画素回路Aijには、アクティブ素子である駆動用TF T 41と電気光学素子である有機EL素子48と第1のスイッチ用トランジスタであるスイッチ用TF T 42と第1コンデンサ44と第2コンデンサ45とが配置されている。この駆動用TF T 41と有機EL素子48とは、電源配線Vsと共通配線Vcomとの間に直列に配置されている。

【0208】

そして、駆動用TF T 41のゲート端子（電流制御端子）には第1コンデンサ44および第2のコンデンサ45のそれぞれにおける一方の端子（第1端子とす

る) が接続され、第1コンデンサ44のもう一方の端子(第2端子とする)は駆動用TFT41のソース端子(電流入力端子)および電源配線Vsへ接続されている。

【0209】

また、駆動用TFT41のゲート端子(電流制御端子)とソース配線Sjの間には第1のスイッチ用トランジスタであるスイッチ用TFT42が配置されている。

【0210】

更に、ソース配線Sjと平行に第3の配線である信号線(接続配線)Tjが配置され、第2のコンデンサ45のもう一方の端子(第2端子とする)はスイッチ用TFT43を介して信号線Tjに接続されている。

【0211】

さらに、駆動用TFT41のドレイン端子(電流出力端子)と有機EL素子48の陽極との間にはスイッチ用TFT46が配置されており、駆動用TFT41とスイッチ用TFT46との間の接続点は、スイッチ用TFT47を介してソース配線Sjと接続されている。

【0212】

この画素回路Aijを構成するスイッチ用TFT42, 43のゲート端子には各々制御配線Ci, Giが、スイッチ用TFT46, 47のゲート端子には制御配線Wiが接続されている。

【0213】

ソースドライバ回路50では、複数の画素回路A1j~Anjに対応して1つの出力端回路Djが配置されている。この出力端回路Djは、図31に示すように、信号線Tjとソース配線Sjとの間に第2のスイッチ用トランジスタであるスイッチ用TFT51が配置されている。また、信号線Tjと所定電圧線Vaの間には第3のスイッチ用トランジスタであるスイッチ用TFT49が配置されている。

【0214】

上記出力端回路Djにおいて、スイッチ用TFT49のゲート端子には制御配

線C cが接続され、スイッチ用T F T 5 1のゲート端子には制御配線B cが接続されている。

【0215】

上記表示装置の画素回路A i j および出力端回路D j における動作を、制御配線W i , G i , C i , C c , B c およびソース配線S j の動作タイミングを示す図32を参照して以下に説明する。

【0216】

本実施の形態5に係る駆動方法では、画素回路A i j の選択期間である時間t 1 ~ 6 t 1の間に、制御配線W i の電位をH i g h (G H)としてスイッチ用T F T 4 6をO F F状態とし、同時にスイッチ用T F T 4 7をO N状態とする。また、時間t 1 ~ 5 t 1の間に、制御配線G i の電位をH i g h (G H)としてスイッチ用T F T 4 3をO N状態とする。

【0217】

画素回路A i j の選択期間の第1の期間(時間t 1 ~ 2 t 1)では、制御配線C i の電位をH i g hとしてスイッチT F T 4 2をO N状態とし、駆動用T F T 4 1のゲート端子をソース配線S j に電氣的に接続させる。これにより、駆動用T F T 4 1のゲート端子とドレイン端子とが、スイッチ用T F T 4 2, 4 7を通じて電氣的に接続され、電源配線V s から駆動用T F T 4 1, スイッチ用T F T 4 7, ソース配線S j を通して電流出力端I j より一定電流が流れる。

【0218】

また、時間t 1 ~ 3 t 1の間、出力端回路D j の制御配線C c の電位をH i g hとして、スイッチ用T F T 4 9をO N状態とする。この結果、第2コンデンサ45の第2端子は、スイッチ用T F T 4 3、信号線T j , スイッチ用T F T 4 9を通じて所定電圧線V aへ接続される。

【0219】

その後、この時のソース配線S j 電位を第1コンデンサ44および第2コンデンサ45を用いて保持するために、制御配線C i の電位をL o wとしてスイッチ用T F T 4 2をO F F状態とする。

【0220】

このとき、第1コンデンサ44および第2コンデンサ45により、駆動用TFT41のゲート端子電位は、該駆動用TFT41の閾値電圧・移動度に依らず、第2コンデンサ45の第2端子電位が V_a のとき、先の一定電流（上記第1の期間で駆動用TFT41のソース・ドレイン間に流れた電流）が流れるような電荷が保持される。その後制御配線CcをLowとして、スイッチ用TFT49をOFF状態とする。

【0221】

次に、第2の期間（時間 $4t_1 \sim 5t_1$ ）では、制御配線Bcの電位をHighとして、スイッチ用TFT51をON状態とする。この結果、第2コンデンサ45の第2端子は、スイッチ用TFT43, 51, 47を通じて駆動用TFT41のドレイン端子と接続される。このとき、電源配線Vsから駆動用TFT41, スwitch用TFT47, ソース配線Sjを通じて電流出力端Ijより所望の電流が流される。

【0222】

これにより、上記第2の期間では、駆動用TFT41の閾値電圧・移動度に依らず、駆動用TFT41のソース・ドレイン間電位が上記電位 $V_s - V_a$ のとき、駆動用TFT41に上記電流（上記第1の期間で駆動用TFT41のソース・ドレイン間に流れた電流）を流すよう設定される。そして、駆動用TFT41へ所望の電流を流すことで、駆動用TFT41のソース・ドレイン間電位が概ね一定の条件で駆動用TFTのゲート・ソース間電位を設定できる。

【0223】

この第2の期間での駆動用TFT41のソース・ゲート間電位は、その後、時間 $5t_1$ で、制御配線Giの電位をLowとし、スイッチ用TFT43をOFF状態とすることで、第1コンデンサ44および第2コンデンサ45に保持される。

【0224】

その後、時間 $6t_1$ で、制御配線Bcの電位をLowとしてスイッチ用TFT51をOFF状態とすることで信号線Tjとソース配線Sjとの電氣的接続を遮断する。更に、制御配線Wiの電位をLowとしてスイッチ用TFT47をOFF

F 状態とし、スイッチ用 T F T 4 6 を ON 状態として駆動用 T F T 4 1 から有機 E L 素子 4 8 へ電流を流す状態とする。

【0225】

以上で、画素回路 A i j の選択期間が終わり、次の画素回路 A (i + 1) j の選択期間になる。

【0226】

上記図 3 1 に示す画素回路構成およびソースドライバ回路の出力端回路構成を用いて、有機 E L 素子 4 8 を流れる電流値をシミュレーションで求めた結果を図 3 3 に示す。

【0227】

図 3 3 におけるシミュレーションでは、0. 27 m s 毎に選択期間が来るよう設定し、最初の時間 0. 30 m s ~ 0. 57 m s の間でソース配線 S j へ電流値 0. 9 u A が流れるよう設定した。それ以降は時間 0. 27 m s 毎に、ソース配線 S j へ流れる電流値を - 0. 1 u A 刻みで 0 u A まで減少させ、その後再び 0. 9 u A に戻るよう設定した。

【0228】

本実施の形態 5 に係るシミュレーション結果（特に時間 0. 30 m s から 1. 9 m s の結果）と従来の技術で示した図 2 5 のシミュレーション結果とを比較すれば判る通り、本実施の形態 5 のようにソースドライバ出力端回路 D j に第 2 のスイッチ用トランジスタと第 3 のスイッチ用トランジスタを配置した構成でも、駆動用 T F T 4 1 の閾値電圧・移動度のばらつきの影響を弱め、非選択期間に有機 E L 素子 4 8 に流れる電流値のばらつきを抑えることができる。

【0229】

〔実施の形態 6〕

本実施の形態 6 では、本発明に係る第 2 の特徴的構成を画素回路において適用した場合について説明する。

【0230】

本実施の形態 6 に係る表示装置は、図 3 4 に示すように、その各画素回路 A i j において、電源配線 V s と共通配線 V c o m との間に駆動用トランジスタであ

る駆動用 T F T 6 3 と電気光学素子である有機 E L 素子 6 9 とを直列に配置している。

【0231】

駆動用 T F T 6 3 のゲート端子（電流制御端子）は、第 1 のスイッチ用トランジスタであるスイッチ用 T F T 6 4 を介してソース配線 S j と接続されている。また、駆動用 T F T 6 3 のゲート端子には第 1 コンデンサ 6 8 および第 2 コンデンサ 6 7 のそれぞれにおける一方の端子（第 1 端子とする）が接続されている。第 1 コンデンサ 6 8 のもう一方の端子（第 2 端子とする）は、駆動用 T F T 6 3 のドレイン端子（電流出力端子）および有機 E L 素子 6 9 の陽極へ接続されている。第 2 コンデンサ 6 7 のもう一方の端子（第 2 端子とする）は、第 3 のスイッチ用トランジスタであるスイッチ用 T F T 6 5 を介して電源配線（所定電圧線）V s に接続され、第 2 のスイッチ用トランジスタであるスイッチ用 T F T 6 6 を介してソース配線 S j に接続されている。

【0232】

スイッチ用 T F T 6 4 およびスイッチ用 T F T 6 5 のゲート端子は制御配線 C i に接続されており、スイッチ用 T F T 6 6 のゲート端子は制御配線 G i に接続されている。

【0233】

駆動用 T F T 6 3 のソース端子（電流入力端子）と電源配線 V s との間にはスイッチ用 T F T 6 1 が配置されており、該スイッチ用 T F T 6 1 のゲート端子は制御配線 R i に接続されている。駆動用 T F T 6 3 とスイッチ用 T F T 6 1 との間の接続点は、スイッチ用 T F T 6 2 を介してソース配線 S j と接続されており、該スイッチ用 T F T 6 2 のゲート端子は制御配線 W i に接続されている。

【0234】

これら制御配線 C i, G i, W i のうち何れを第 2 の配線（ゲート配線）としても良いし、これらスイッチ用 T F T 6 2, 6 4, 6 6 のうち何れを選択用 T F T としても良い。

【0235】

この回路構成では、駆動用 T F T 6 3 のゲート端子は、スイッチ用 T F T 6 4

、ソース配線 S_j およびスイッチ用 T F T 6 2 を介して駆動用 T F T 6 3 のソース端子へ接続される。また、第 2 コンデンサ 6 7 の第 2 端子は、スイッチ用 T F T 6 6、ソース配線 S_j およびスイッチ用 T F T 6 2 を介して駆動用 T F T 6 3 のソース端子へ接続される。

【0236】

上記表示装置の画素回路 A_{ij} における動作を、制御配線 R_i , W_i , C_i , G_i およびソース配線 S_j の動作タイミングを示す図 3 5 を参照して以下に説明する。

【0237】

本実施の形態 6 に係る駆動方法では、選択期間である時間 $0 \sim 6t_1$ の間に、制御配線 R_i の電位を H_{igh} (GH) としてスイッチ用 T F T 6 1 を OFF 状態とし、時間 $t_1 \sim 5t_1$ の間に制御配線 W_i の電位を L_{ow} (GL) としてスイッチ用 T F T 6 2 を ON 状態とする。

【0238】

そして、第 1 の期間 (時間 $t_1 \sim 2t_1$) において、制御配線 C_i の電位を L_{ow} として、スイッチ用 T F T 6 4・6 5 を ON 状態とする。この結果、駆動用 T F T 6 3 のゲート端子とソース端子とはスイッチ用 T F T 6 4・6 2 を通じて接続される。また、第 2 コンデンサ 6 7 の第 2 端子は、スイッチ用 T F T 6 5 を通じて電源線 (所定電圧線) V_s へ接続される。このとき、図示しないソースドライバ回路からソース配線 S_j 、スイッチ用 T F T 6 2、駆動用 T F T 6 3 を通じて有機 EL 素子 6 9 へ向け一定電流が流される。

【0239】

その後 (時間 $2t_1$ 以降)、制御配線 C_i の電位を H_{igh} としてスイッチ用 T F T 6 4・6 5 を OFF 状態とする。このとき、上記第 1 の期間で設定されたソース配線 S_j の電位は、第 1 コンデンサ 6 8 および第 2 コンデンサ 6 7 を用いて保持される。

【0240】

次に、第 2 の期間 (時間 $3t_1 \sim 4t_1$) において、制御配線 G_i の電位を L_{ow} として、スイッチ用 T F T 6 6 を ON 状態とする。この結果、第 2 コンデン

サ 6 7 の第 2 端子は、スイッチ用 T F T 6 6 ・ 6 2 を通じて駆動用 T F T 6 3 のソース端子と接続される。このとき、図示しないソースドライバ回路からソース配線 S j、スイッチ用 T F T 6 2、駆動用 T F T 6 3 を通じて、有機 E L 素子 6 9 へ向け所望の電流が流れる。

【0241】

上記第 2 の期間で設定された駆動用 T F T 6 3 のドレイン・ゲート間電位は、その後（時間 4 t 1 以降）、制御配線 G i の電位を H i g h としスイッチ用 T F T 6 6 を O F F 状態とすることで、第 1 コンデンサ 6 8 および第 2 コンデンサ 6 7 に保持される。

【0242】

その後、制御配線 W i の電位を H i g h としてスイッチ用 T F T 6 2 を O F F 状態として、制御配線 R i の電位を L o w としてスイッチ用 T F T 6 1 を O N 状態とする。

【0243】

以上でこの画素回路 A i j の選択期間が終わり、次の画素回路 A (i + 1) j の選択期間になる。

【0244】

なお、図 3 4 に示すソースドライバ出力端回路 D j では、O F F 電位線 V o f f とソース配線 S j との間に第 4 のスイッチ用トランジスタであるスイッチ用 T F T 7 0 が配置されている。

【0245】

そしてこのスイッチ用 T F T 7 0 のゲート端子には制御配線 E j が接続され、選択された有機 E L 素子 6 9 の電流値を 0 とする場合、図 3 5 に示されるように、上記第 2 の期間（9 t 1 ~ 1 1 t 1）で制御配線 E j を H i g h として、スイッチ用 T F T 7 0 を O N 状態とする。このとき、ソース配線 S j とソースドライバの電流出力回路との接続をオープン状態として、O F F 電位線 V o f f よりソース配線へ O F F 電位を供給する。

【0246】

この O F F 電位は共通電極電位 V c o m より低い電位とするので、駆動用 T F

T 6 3 のゲート電位は第 1 期間の電位より低下し、駆動用 T F T 6 3 は O F F 状態となる。

【0247】

上記図 3 4 に示す画素回路構成およびソースドライバ回路の出力端回路構成を用いて、有機 E L 素子 6 9 を流れる電流値をシミュレーションで求めた結果を図 3 6 に示す。

【0248】

図 3 6 におけるシミュレーションでは、1. 0 8 m s 毎に選択期間が来るよう設定し、最初の時間 2. 3 0 m s ~ 3. 3 8 m s の間でソース配線 S j へ電流値 1. 1 u A が流れるよう設定した。それ以降は時間 1. 0 8 m s 毎に、ソース配線 S j へ流れる電流値を - 0. 1 2 u A 刻みで 0 u A まで減少させ、その後再び 1. 1 u A に戻した。

【0249】

本実施の形態 6 に係るシミュレーション結果と従来の技術で示した図 2 5 のシミュレーション結果とを比較すれば判る通り、本実施の形態 6 のように駆動用トランジスタの電流制御端子と電流入力端子を制御する構成でも、駆動用 T F T 6 3 の閾値電圧・移動度のばらつきの影響を弱め、非選択期間に有機 E L 素子 6 9 に流れる電流値のばらつきを抑えることができる。

【0250】

なお、図 3 1 の画素回路構成では駆動用 T F T 4 1 の電流出力端子（ドレイン端子）と第 2 コンデンサ 4 5 の第 2 端子を結ぶように信号線 T j が配置されていた。しかし、本発明に係る第 2 の特徴的構成を画素回路において適用した場合、図 3 7 に示すように、上記手段を用いた駆動用 T F T 9 4 の電流入力端子（ソース端子）と第 2 コンデンサ 9 7 の第 2 端子を結ぶように信号線 T j を配置することが可能である。

【0251】

即ち、図 3 7 の画素回路構成 A i j で、第 1 コンデンサ 9 8 が駆動用 T F T 9 4 のゲート・ドレイン間に配置され、駆動用 T F T 9 4 のゲート端子とソース配線 S j の間には第 1 スイッチ用 T F T 9 5 が配置され、駆動用 T F T 9 4 のゲート

ト端子と信号線 T_j の間には第2コンデンサ 97 とスイッチ用 T F T 93 とが直列に配置されている。また、駆動用 T F T 94 のドレイン端子と共通電極 V_{com} の間には有機 E L 素子 96 が配置され、駆動用 T F T 94 のソース端子と電源配線 V_s との間にはスイッチ用 T F T 91 が配置され、駆動用 T F T 94 のソース端子とソース配線 S_j の間にはスイッチ用 T F T 92 が配置されている。

【0252】

また、ソースドライバ出力端回路 D_j では、信号線 T_j とソース配線 S_j の間に第2スイッチ用トランジスタであるスイッチ用 T F T 100 が配置され、信号線 T_j と所定電圧線 V_b の間には第3スイッチ用トランジスタであるスイッチ用 T F T 99 が配置されている。

【0253】

この画素回路 A_{ij} 及びソースドライバ出力端回路 D_j を用いた駆動タイミングは図31に示した画素回路同様、図32に示すようなものとなるので、その説明は省略する。

【0254】

〔実施の形態7〕

本実施の形態7では、本発明に係る第2の特徴的構成を画素回路およびソースドライバ回路において適用した場合の例について説明する。

【0255】

本実施の形態7に係る表示装置も、本発明の特徴的構成部分を、画素回路とソースドライバ回路とに分割して配置した構成である。このため、上記表示装置は、実施の形態2と同様に図7に示すような構成となり、ここではその説明を省略する。

【0256】

上記表示装置において、本発明の特徴的構成を含む画素回路 A_{ij} とソースドライバ回路 50 の出力段であるソースドライバ出力端回路 D_j との構成を図38に示す。

【0257】

本実施の形態7に係る表示装置では、上記図38に示すように、ソース配線 S

j とゲート配線 G_i が交差する領域に画素回路 A_{ij} が配置され、各画素回路 A_{ij} には、アクティブ素子である駆動用 TFT 74 と電気光学素子である有機 EL 素子 76 と第 1 コンデンサ 75 とが配置されている。この駆動用 TFT 74 と有機 EL 素子 76 とは、電源配線 V_s と共通配線 V_{com} の間に直列に配置されている。

【0258】

そして、駆動用 TFT 74 のゲート端子（電流制御端子）には第 1 コンデンサ 75 の一方の端子（第 1 端子とする）が接続され、第 1 コンデンサ 75 のもう一方の端子（第 2 端子とする）は駆動用 TFT 74 のドレイン端子（電流出力端子）および有機 EL 素子 76 の陽極へ接続されている。

【0259】

また、この画素回路構成では、ソース配線 S_j に平行に第 3 の配線である信号線 T_j が配置され、駆動用 TFT 74 のゲート端子はスイッチ用 TFT 73 を介して信号線 T_j に接続している。

【0260】

さらに、駆動用 TFT 74 のソース端子（電流入力端子）と電源配線 V_s との間にはスイッチ用 TFT 71 が配置されており、駆動用 TFT 74 とスイッチ用 TFT 71 との間の接続点は、スイッチ用 TFT 72 を介してソース配線 S_j と接続されている。

【0261】

この画素回路 A_{ij} を構成するスイッチ用 TFT 73, 72, 71 のゲート端子には各々制御配線 G_i , W_i , R_i が接続されている。

【0262】

ソースドライバ回路 50 では、複数の画素回路 $A_{1j} \sim A_{nj}$ に対応して 1 つの出力端回路 D_j が配置されている。この出力端回路 D_j は、図 38 に示すように、信号線 T_j に第 2 コンデンサ 80 の一方の端子（第 1 端子とする）が接続され、更に信号線 T_j とソース配線 S_j との間に第 1 のスイッチ用トランジスタであるスイッチ用 TFT 77 が配置されている。また、第 2 コンデンサ 80 のもう一方の端子（第 2 端子とする）と所定電圧線 V_a の間には第 3 のスイッチ用トラ

ンジスタであるスイッチ用TFT78が配置され、第2コンデンサ80の第2端子とソース配線Sjとの間には第2のスイッチ用トランジスタであるスイッチ用TFT79が配置されている。さらに、信号線TjとOFF電位線Voffとの間には第4のスイッチ用トランジスタであるスイッチ用TFT81が配置されている。

【0263】

上記出力端回路Djにおいて、スイッチ用TFT81のゲート端子には制御配線Ejが接続され、スイッチ用TFT77, 78のゲート端子には制御配線Ccが接続され、スイッチ用TFT79のゲート端子には制御配線Bcが接続されている。

【0264】

上記表示装置の画素回路Aijおよび出力端回路Djにおける動作を、制御配線Ri, Wi, Gi, Cc, Bc, Ejおよびソース配線Sjの動作タイミングを示す図39を参照して以下に説明する。

【0265】

本実施の形態7に係る駆動方法では、画素回路Aijの選択期間である時間0~6t1の間に、制御配線Riの電位をHigh (GH)としてスイッチ用TFT71をOFF状態とする。また、時間t1~5t1の間に、制御配線Wiの電位をLow (GL)としてスイッチ用TFT72をON状態とする。これにより、駆動用TFT74のソース端子とソース配線Sjが接続された状態を作る。

【0266】

また、画素回路Aijでは、時間t1~4t1において、制御配線Giの電位をLowとしてスイッチ用TFT73をON状態とし、駆動用TFT74のゲート端子を信号線Tjと電氣的に接続させる。これにより、駆動用TFT74のゲート端子に第1コンデンサ75および第2コンデンサ80が接続された状態を作る。

【0267】

出力端回路Djでは第1の期間(時間t1~2t1)において、制御配線Ccの電位をHighとして、スイッチ用TFT77, 78をON状態とする。この

結果、駆動用 T F T 7 4 のゲート端子とソース端子とが、スイッチ用 T F T 7 3 , 7 7 , 7 2 を通じて電氣的に接続される。また、第 2 コンデンサ 8 0 の第 2 端子は、スイッチ用 T F T 7 8 を通じて所定電圧線 V a へ接続される。このとき、図示しないソースドライバ回路からソース配線 S j , スwitch用 T F T 7 2 , 駆動用 T F T 7 4 を通して有機 E L 素子 7 6 へ一定電流が流れる。

【0268】

その後、制御配線 C c の電位を L o w としてスイッチ用 T F T 7 7 , 7 8 を O F F 状態として、このときの信号線 T j の電位を第 1 コンデンサ 7 5 および第 2 コンデンサ 8 0 を用いて保持する。

【0269】

このとき、第 1 コンデンサ 7 5 および第 2 コンデンサ 8 0 に貯められた電荷により、駆動用 T F T 7 4 のゲートでは、該駆動用 T F T 7 4 の閾値電圧・移動度に依らず、第 2 コンデンサ 8 0 の第 2 端子電位が V a のとき、先の一定電流（上記第 1 の期間で駆動用 T F T 7 4 のソース・ドレイン間に流れた電流）が流れるような電位が保持される。

【0270】

次に、第 2 の期間（時間 $3 t_1 \sim 4 t_1$ ）では、制御配線 B c の電位を H i g h として、スイッチ用 T F T 7 9 を O N 状態とする。この結果、第 2 コンデンサ 8 0 の第 2 端子は、スイッチ用 T F T 7 9 , 7 2 を通じて駆動用 T F T 7 4 のソース端子と接続される。このとき、図示しないソースドライバ回路からソース配線 S j , スwitch用 T F T 7 2 , 駆動用 T F T 7 4 を通して有機 E L 素子 7 6 へ所望の電流が流される。

【0271】

これにより、上記第 2 の期間では、駆動用 T F T 7 4 の閾値電圧・移動度に依らず、駆動用 T F T 7 4 のソース・ドレイン間電位が上記電位 $V_a - V_x$ (V_x は上記第 2 の期間における有機 E L 素子 7 6 の陽極電位) のとき、駆動用 T F T 7 4 に上記電流（上記第 1 の期間で駆動用 T F T 7 4 のソース・ドレイン間に流れた電流）を流すよう設定される。そして、駆動用 T F T 7 4 へ所望の電流を流すことで、駆動用 T F T 7 4 のソース・ドレイン間電位が概ね一定の条件で駆動

用TFTのゲート・ソース間電位を設定できる。

【0272】

この第2の期間での駆動用TFT11のソース・ゲート間電位は、その後、時間4t1で、制御配線Giの電位をHighとし、スイッチ用TFT73をOFF状態とすることで、第1コンデンサ75に保持される。

【0273】

その後、時間5t1で、制御配線Bcの電位をLowとしてスイッチ用TFT79をOFF状態とすることで第2コンデンサ80とソース配線Sjとの電氣的接続を遮断し、制御配線Wiの電位をHighとしてスイッチ用TFT72をOFF状態とすることで駆動用TFT74のソース端子とソース配線Sjとの電氣的接続を遮断する。さらに、時間6t1で、制御配線Riの電位をLowとしてスイッチ用TFT71をON状態として駆動用TFT74から有機EL素子76へ電流を流す状態とする。

【0274】

以上で、画素回路Aijの選択期間が終わり、次の画素回路A(i+1)jの選択期間になる。

【0275】

また、図39における9t1~11t1に示す期間で、制御配線Ejの電位をHighとしてスイッチ用TFT81をON状態とし、信号線TjへOFF電位Voffを供給することによって信号線TjをOFF電位とすることで、非選択期間における有機EL素子76の電流値をほぼ0とできる。またこの間、制御配線Ccの電位はLow、制御配線Bcの電位はHighとする。

【0276】

この画素回路構成およびソースドライバ回路の出力端回路構成を用いて、有機EL素子76を流れる電流値をシミュレーションで求めた結果、実施の形態6と同様の結果を得た。

【0277】

また、これら有機EL素子6を低分子有機ELで形成するときはマスク蒸着が必要であるが、高分子有機ELで形成するときはインクジェットプロセスが用い

られる。後者の場合、疎水性のバンクを形成し、その中に駆動用 T F T 毎に対応した親水性の穴を形成するが、この穴は必ずしも 1 画素毎に別れている必要はなく、複数の R G B 各色画素が共通の穴に配置させていても良い。特に、穴をストライプ状に形成し、その両端に液滴の受け皿を設ければ、R G B の画素ピッチに依らず、液滴受け皿のサイズを決められるので好ましい。

【0278】

【発明の効果】

本発明の第 1 の表示装置は、以上のように、上記駆動用トランジスタの電流制御端子と電流出力端子との間に接続される第 1 スイッチ用トランジスタと、上記駆動用トランジスタの電流制御端子と電流入力端子との間に接続される第 1 コンデンサと、上記駆動用トランジスタの電流制御端子に一方の端子である第 1 端子が接続され、もう一方の端子である第 2 端子は、駆動用トランジスタの電流出力端子との間に第 2 スイッチ用トランジスタを介して接続され、かつ所定電圧線との間に第 3 スイッチ用トランジスタを介して接続されている第 2 コンデンサとを備えている構成である。

【0279】

それゆえ、画素回路やソースドライバ回路の選択期間中において、上記駆動用トランジスタの閾値電圧・移動度のバラツキに依らず、上記駆動用トランジスタの電流入力端子ー電流出力端子間電位がほぼ等しくなる条件で駆動用トランジスタの電流制御端子電位を設定し、第 1 のコンデンサに保持することができる。

【0280】

その後、上記画素回路やソースドライバ回路の非選択期間において、上記駆動用トランジスタの電流入力端子ー電流出力端子間電位は変化するが、その電位変化は上記駆動用トランジスタの閾値電圧・移動度のバラツキに依らず一定なので、上記駆動用トランジスタの電流入力端子ー電流出力端子間を流れる電流値のバラツキを抑えることができるといった効果を奏する。

【0281】

本発明の第 2 の表示装置は、以上のように、上記駆動用トランジスタの電流制御端子と電流入力端子との間に接続される第 1 スイッチ用トランジスタと、上記

駆動用トランジスタの電流制御端子と電流出力端子との間に接続される第1コンデンサと、上記駆動用トランジスタの電流制御端子に一方の端子である第1端子が接続され、もう一方の端子である第2端子は、駆動用トランジスタの電流入力端子との間に第2スイッチ用トランジスタを介して接続され、かつ所定電圧線との間に第3スイッチ用トランジスタを介して接続されている第2コンデンサとを備えている構成である。

【0282】

それゆえ、画素回路やソースドライバ回路の選択期間中において、上記駆動用トランジスタの閾値電圧・移動度のバラツキに依らず、上記駆動用トランジスタの電流入力端子－電流出力端子間電位がほぼ等しくなる条件で駆動用トランジスタの電流制御端子電位を設定し第1のコンデンサに保持することができる。

【0283】

その後、上記画素回路やソースドライバ回路の非選択期間において、上記駆動用トランジスタの電流入力端子－電流出力端子間電位は変化するが、その電位変化は上記駆動用トランジスタの閾値電圧・移動度のバラツキに依らず一定なので、上記駆動用トランジスタの電流入力端子－電流出力端子間を流れる電流値のバラツキを抑えることができるといった効果を奏する。

【0284】

また、上記表示装置においては、上記第1コンデンサ、第2コンデンサ、第1スイッチ用トランジスタ、第2スイッチ用トランジスタ、および第3スイッチ用トランジスタからなる構成を、各画素回路やソースドライバ回路毎に備えている構成とすることができる。

【0285】

それゆえ、画素回路を駆動するソースドライバ回路に、従来と同構成のものを使用できたり、本発明の画素回路に適したソースドライバ回路を構成できるといった効果を奏する。

【0286】

また、上記表示装置においては、上記第1コンデンサ、第2コンデンサ、第1スイッチ用トランジスタ、第2スイッチ用トランジスタ、および第3スイッチ用

トランジスタからなる構成は、一部が画素回路側、他の一部がソースドライブ回路側に配置される構成とすることができる。

【0287】

それゆえ、上記第1コンデンサ、第2コンデンサ、第1スイッチ用トランジスタ、第2スイッチ用トランジスタ、および第3スイッチ用トランジスタからなる構成のすべてを画素回路側に配置する場合と比べ、画素回路あたりに必要なコンデンサ及びトランジスタの数の増加を抑制できる。このため、従来に比べて電流駆動発光素子の単位面積当たりの発光輝度を向上させる必要がなく、その輝度半減寿命の低下を回避できるといった効果を奏する。

【0288】

また、上記表示装置においては、画素回路側に、電流駆動発光素子、駆動用トランジスタ、および第1コンデンサを配置し、ソースドライバ側に、第2コンデンサ、第1スイッチ用トランジスタ、第2スイッチ用トランジスタ、および第3スイッチ用トランジスタを配置すると共に、上記駆動用トランジスタの電流制御端子と、第2コンデンサの第1端子とを接続する接続配線を備えている構成とすることができる。

【0289】

また、上記表示装置においては、画素回路側に、電流駆動発光素子、駆動用トランジスタ、第1スイッチ用トランジスタ、第1コンデンサおよび第2コンデンサを配置し、ソースドライバ側に、第2スイッチ用トランジスタ、および第3スイッチ用トランジスタを配置すると共に、上記駆動用トランジスタの電流出力端子と、第2コンデンサの第2端子とを接続する接続配線を備えている構成とすることができる。

【0290】

また、上記表示装置においては、さらに、OFF電位を供給するOFF電位線を備えており、上記接続配線が、第4スイッチング用トランジスタを介してOFF電位線に接続されている構成とすることができる。

【0291】

それゆえ、暗状態となる画素に対して、その輝度を充分低くし、表示装置のコ

ントラストを向上できるといった効果を奏する。

【0292】

また、本発明の第1の駆動方法は、以上のように、上記駆動用トランジスタの電流制御端子に第1コンデンサの一方の端子である第1端子が接続されており、上記画素回路の選択期間では、第1のコンデンサの第1端子に第2のコンデンサの一方の端子である第1端子が接続され、第1の期間において、第2コンデンサの他方端子である第2端子を所定電圧線に接続し、上記駆動用トランジスタの電流制御端子と電流出力端子とを接続し、この時の上記駆動用トランジスタの電流制御端子電位を第1のコンデンサおよび第2のコンデンサに保持し、第2の期間において、上記駆動用トランジスタの電流制御端子と電流出力端子との接続を遮断し、第2コンデンサの第2端子の接続を上記所定電圧線との接続から上記駆動用トランジスタの電流出力端子との接続に切り替え、上記アクティブ素子の電流制御端子電位を修正し、この時の上記駆動用トランジスタの電流制御端子電位を第1コンデンサに保持し、上記画素回路の非選択期間では、上記第1コンデンサに保持された駆動用トランジスタの電流制御端子電位によって、電流駆動発光素子の非選択期間における供給電流を制御する構成である。

【0293】

それゆえ、画素回路の選択期間中において、上記駆動用トランジスタの閾値電圧・移動度のバラツキに依らず、上記駆動用トランジスタの電流入力端子ー電流出力端子間電位がほぼ等しくなる条件で駆動用トランジスタの電流制御端子電位を設定し、第1のコンデンサに保持することができる。

【0294】

その後、上記画素回路の非選択期間において、上記駆動用トランジスタの電流入力端子ー電流出力端子間電位は変化するが、その電位変化は上記駆動用トランジスタの閾値電圧・移動度のバラツキに依らず一定なので、上記駆動用トランジスタの電流入力端子ー電流出力端子間を流れる電流値のバラツキを抑えることができるといった効果を奏する。

【0295】

また、本発明の第2の駆動方法は、以上のように、上記駆動用トランジスタの

電流制御端子に第1コンデンサの一方の端子である第1端子が接続されており、上記画素回路の選択期間では、第1のコンデンサの第1端子に第2のコンデンサの一方の端子である第1端子が接続され、第1の期間において、第2コンデンサの他方端子である第2端子を所定電圧線に接続し、上記駆動用トランジスタの電流制御端子と電流入力端子とを接続し、この時の上記駆動用トランジスタの電流制御端子電位を第1のコンデンサおよび第2のコンデンサに保持し、第2の期間において、上記駆動用トランジスタの電流制御端子と電流入力端子との接続を遮断し、第2コンデンサの第2端子の接続を上記所定電圧線との接続から上記駆動用トランジスタの電流入力端子との接続に切り替え、上記アクティブ素子の電流制御端子電位を修正し、この時の上記駆動用トランジスタの電流制御端子電位を第1コンデンサに保持し、上記画素回路の非選択期間では、上記第1コンデンサに保持された駆動用トランジスタの電流制御端子電位によって、電流駆動発光素子の非選択期間における供給電流を制御する構成である。

【0296】

それゆえ、画素回路の選択期間中において、上記駆動用トランジスタの閾値電圧・移動度のバラツキに依らず、上記駆動用トランジスタの電流入力端子ー電流出力端子間電位がほぼ等しくなる条件で駆動用トランジスタの電流制御端子電位を設定し第1のコンデンサに保持することができる。

【0297】

その後、上記画素回路の非選択期間において、上記駆動用トランジスタの電流入力端子ー電流出力端子間電位は変化するが、その電位変化は上記駆動用トランジスタの閾値電圧・移動度のバラツキに依らず一定なので、上記駆動用トランジスタの電流入力端子ー電流出力端子間を流れる電流値のバラツキを抑えることができるといった効果を奏する。

【図面の簡単な説明】

【図1】

本発明の一実施形態を示すものであり、実施の形態1に係る表示装置における画素回路の構成を示す回路図である。

【図2】

上記画素回路の制御配線における動作タイミングを示す波形図である。

【図 3】

上記画素回路において、駆動用 T F T のソースゲート間電位およびソースドレイン間電位の変化に関するシミュレーション結果を示すグラフである。

【図 4】

上記画素回路において、有機 E L 素子を流れる電流値のシミュレーション結果を示すグラフである。

【図 5】

上記画素回路において、有機 E L 素子を流れる電流値のシミュレーション結果を示すグラフである。

【図 6】

実施の形態 1 に係る表示装置における画素回路の図 1 とは別の構成を示す回路図である。

【図 7】

実施の形態 2 に係る表示装置の構成を示す回路図である。

【図 8】

実施の形態 2 に係る表示装置における画素回路及びソースドライバ回路の構成を示す回路図である。

【図 9】

上記画素回路及びソースドライバ回路の制御配線における動作タイミングを示す波形図である。

【図 10】

上記画素回路において、有機 E L 素子を流れる電流値のシミュレーション結果を示すグラフである。

【図 11】

実施の形態 3 に係る表示装置における画素回路及びソースドライバ回路の構成を示す回路図である。

【図 12】

上記画素回路及びソースドライバ回路の制御配線における動作タイミングを示

す波形図である。

【図 1 3】

上記画素回路において、有機 E L 素子を流れる電流値のシミュレーション結果を示すグラフである。

【図 1 4】

実施の形態 4 に係る表示装置におけるソースドライバ回路の構成を示す回路図である。

【図 1 5】

上記ソースドライバ回路の制御配線における動作タイミングを示す波形図である。

【図 1 6】

上記ソースドライバ回路において、駆動用 T F T のソースーゲート間電位およびソースードレイン間電位の変化に関するシミュレーション結果を示すグラフである。

【図 1 7】

上記ソースドライバ回路において、駆動用 T F T のソースードレイン間を流れる電流値のシミュレーション結果を示すグラフである。

【図 1 8】

図 1 4 に示すソースドライバ回路と図 1 に示す画素回路を組み合わせた場合の表示装置において、各制御配線における動作タイミングを示す波形図である。

【図 1 9】

図 1 4 に示すソースドライバ回路と図 1 に示す画素回路を組み合わせた回路構成において、ソースドライバ回路の駆動用 T F T のソースーゲート間電位およびソースードレイン間電位の変化に関するシミュレーション結果を示すグラフである。

【図 2 0】

図 1 4 に示すソースドライバ回路と図 1 に示す画素回路を組み合わせた回路構成において、画素回路の有機 E L 素子を流れる電流値のシミュレーション結果を示すグラフである。

【図 2 1】

実施の形態 4 に係る表示装置におけるソースドライバ回路の図 1 4 とは別の構成を示す回路図である。

【図 2 2】

従来の表示装置における画素回路の構成例を示す回路図である。

【図 2 3】

従来の表示装置における画素回路の他の構成例を示す回路図である。

【図 2 4】

上記従来の画素回路の制御配線における動作タイミングを示す波形図である。

【図 2 5】

上記従来の画素回路において、有機 EL 素子を流れる電流値のシミュレーション結果を示すグラフである。

【図 2 6】

上記従来の画素回路において、有機 EL 素子を流れる電流値のシミュレーション結果を示すグラフである。

【図 2 7】

上記従来の画素回路において、駆動用 TFT のソース・ゲート間電位およびソース・ドレイン間電位の変化に関するシミュレーション結果を示すグラフである。

【図 2 8】

駆動用 TFT において、ソース・ドレイン間電圧 V_{sd} と、ソース・ドレイン間を流れる電流値の関係を示すグラフである。

【図 2 9】

駆動用 TFT と有機 EL 素子を直列に接続した回路構成を示す回路図である。

【図 3 0】

図 2 9 の回路を用い、非選択期間での駆動用 TFT のソース・ドレイン間電流のばらつきを、シミュレーションにて調べた場合の結果を示すグラフである。

【図 3 1】

実施の形態 5 に係る表示装置における画素回路及びソースドライバ回路の構成

を示す回路図である。

【図 3 2】

上記画素回路及びソースドライバ回路の制御配線における動作タイミングを示す波形図である。

【図 3 3】

上記画素回路及びソースドライバ回路において、駆動用 T F T のソースドレイン間を流れる電流値のシミュレーション結果を示すグラフである。

【図 3 4】

実施の形態 6 に係る表示装置における画素回路及びソースドライバ回路の構成を示す回路図である。

【図 3 5】

上記画素回路及びソースドライバ回路の制御配線における動作タイミングを示す波形図である。

【図 3 6】

上記画素回路及びソースドライバ回路において、駆動用 T F T のソースドレイン間を流れる電流値のシミュレーション結果を示すグラフである。

【図 3 7】

実施の形態 6 に係る表示装置の別の画素回路及びソースドライバ回路の構成を示す回路図である

【図 3 8】

実施の形態 7 に係る表示装置における画素回路及びソースドライバ回路の構成を示す回路図である。

【図 3 9】

上記画素回路及びソースドライバ回路の制御配線における動作タイミングを示す波形図である。

【符号の説明】

1、1'、11、41、63、74、94 駆動用 T F T (駆動用トランジスタ)

2、12、44、68、75、98 第1コンデンサ

3、22、42、64、77、95 スイッチ用TFT（第1スイッチ用トランジスタ）

6、6'、48、69、76、96 有機EL素子（電流駆動発光素子）

7、25、45、67、80、97 第2コンデンサ

8、23、49、65、78、99 スイッチ用TFT（第3スイッチ用トランジスタ）

9、24、51、66、79、100 スイッチ用TFT（第2スイッチ用トランジスタ）

21、70、 スイッチ用TFT（第4スイッチ用トランジスタ）

Va 所定電圧線

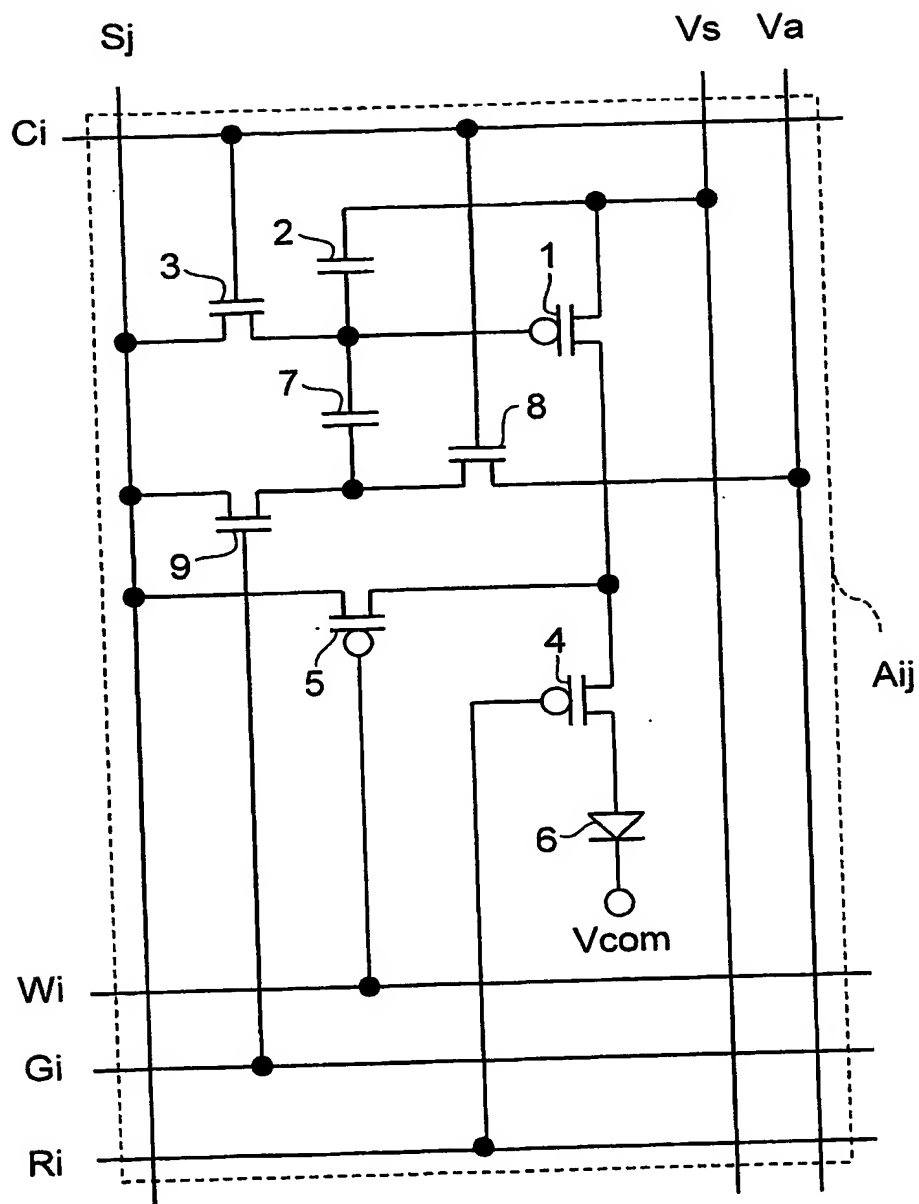
Aij 画素回路

Dj 出力端回路（ソースドライバ回路）

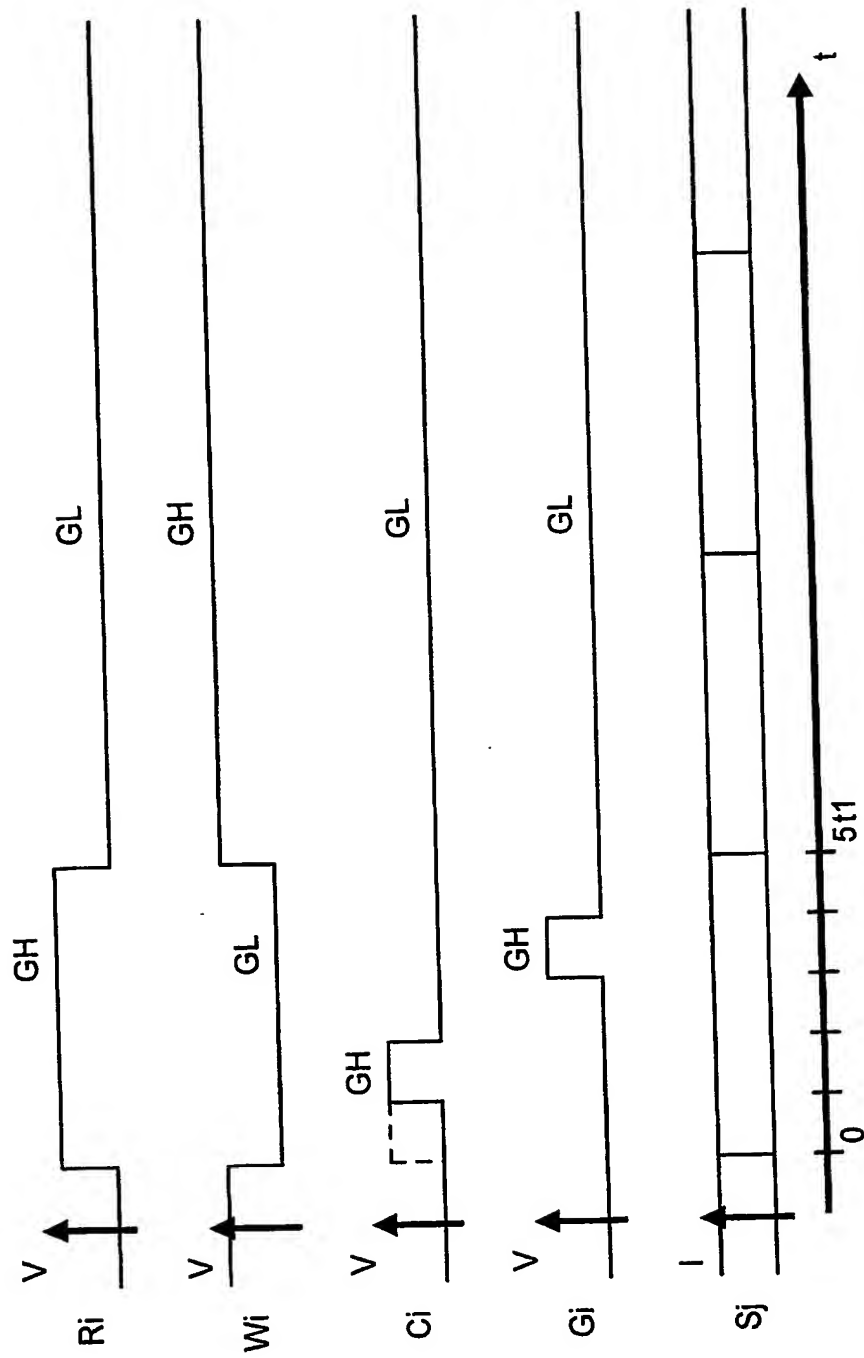
Tj 接続配線

【書類名】 図面

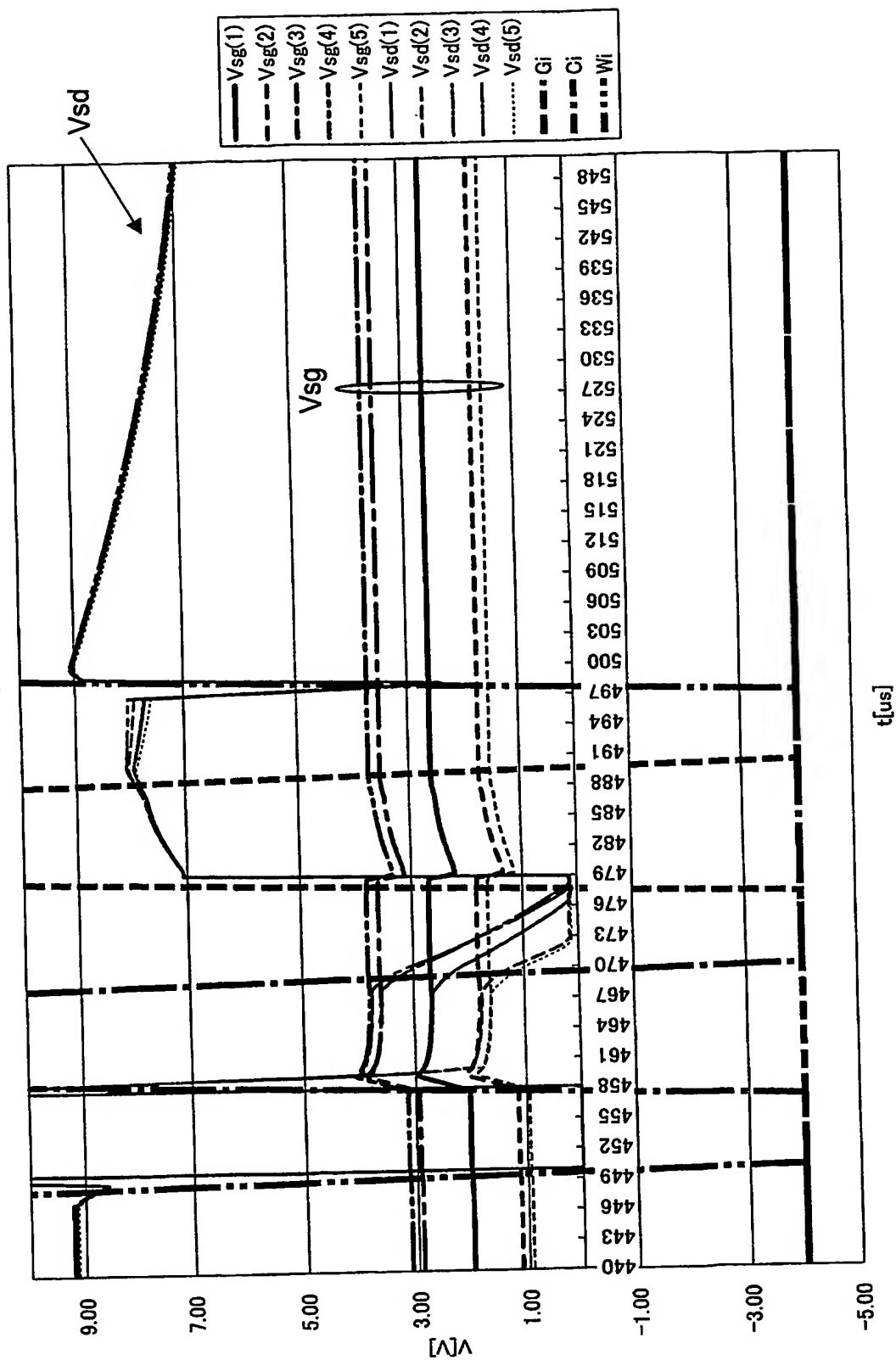
【図 1】



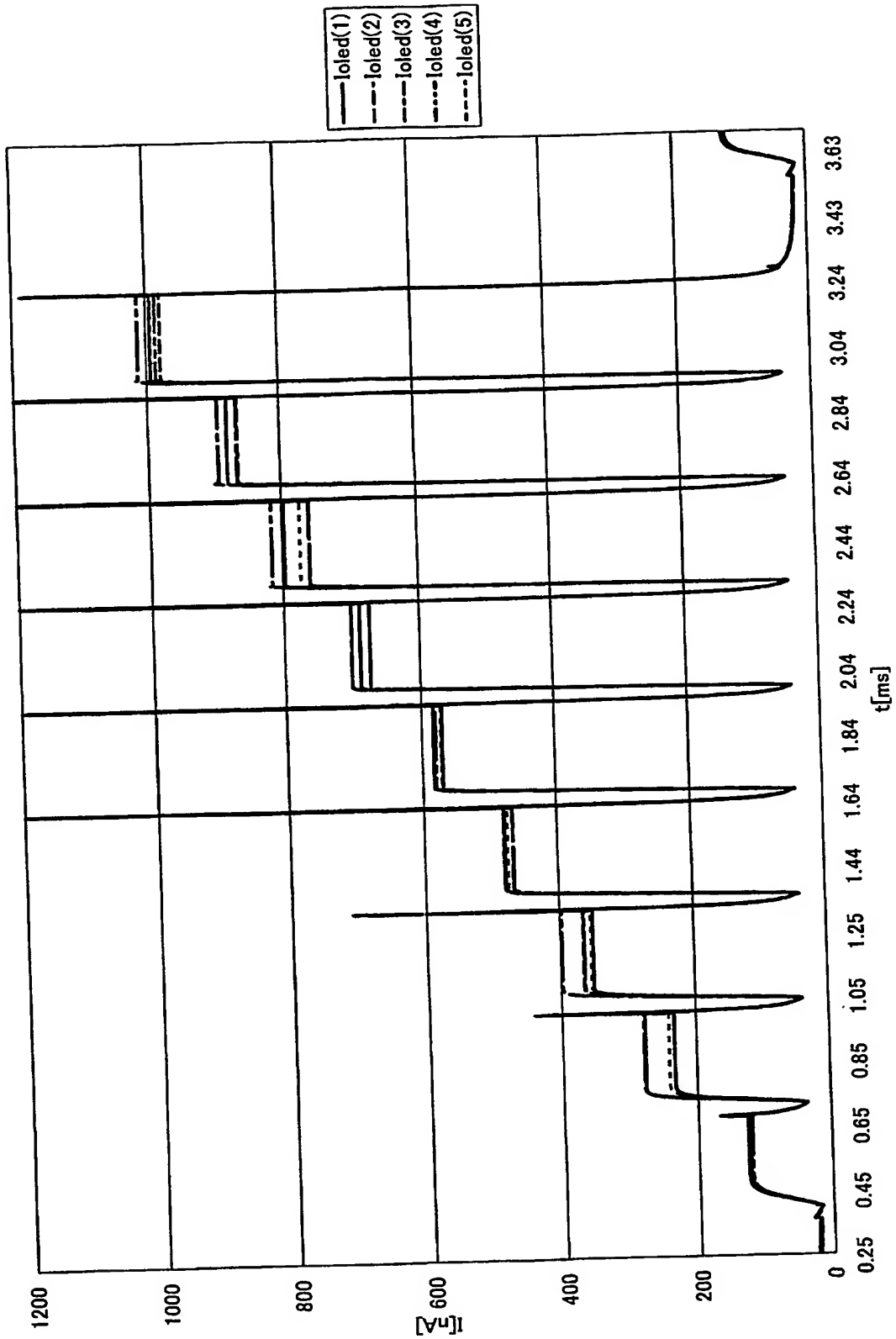
【図 2】



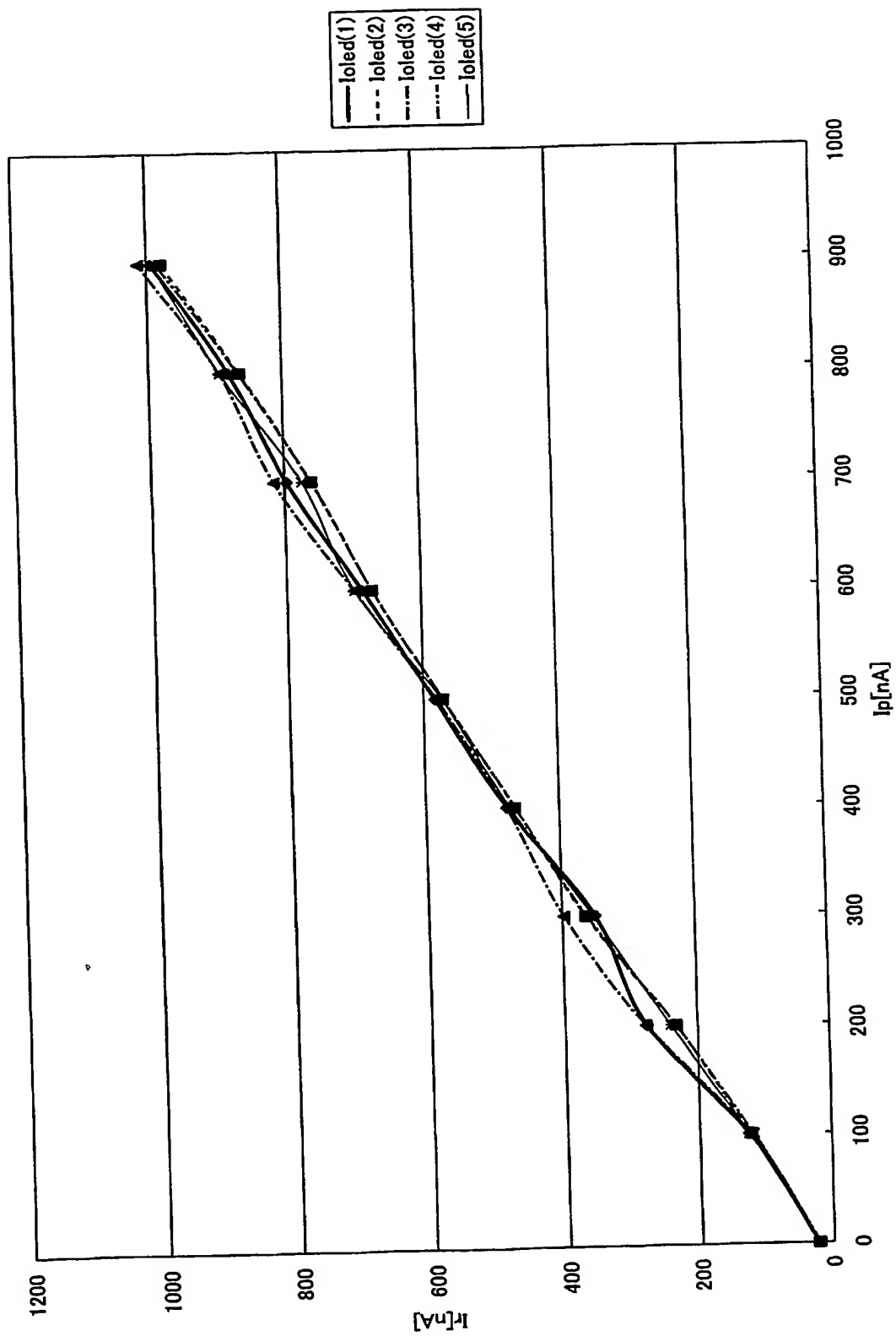
【図 3】



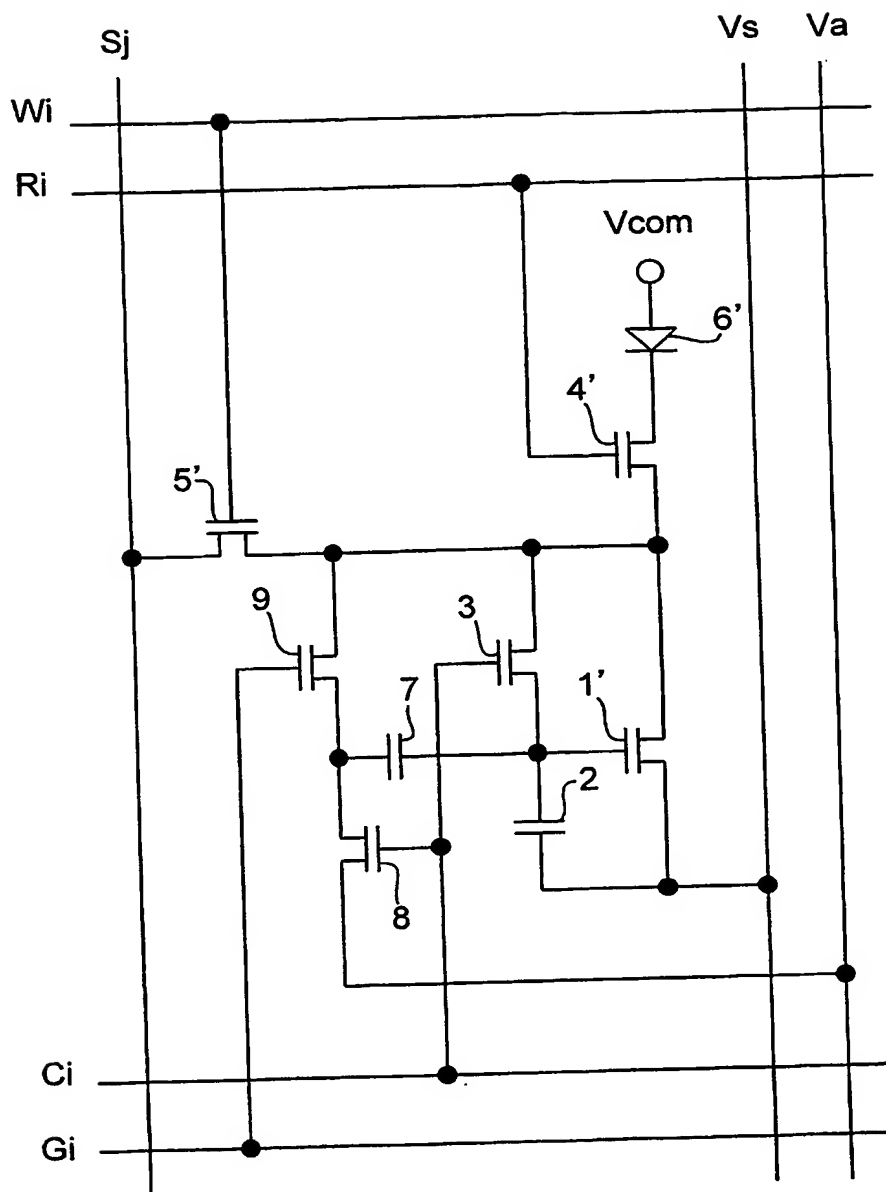
【図 4】



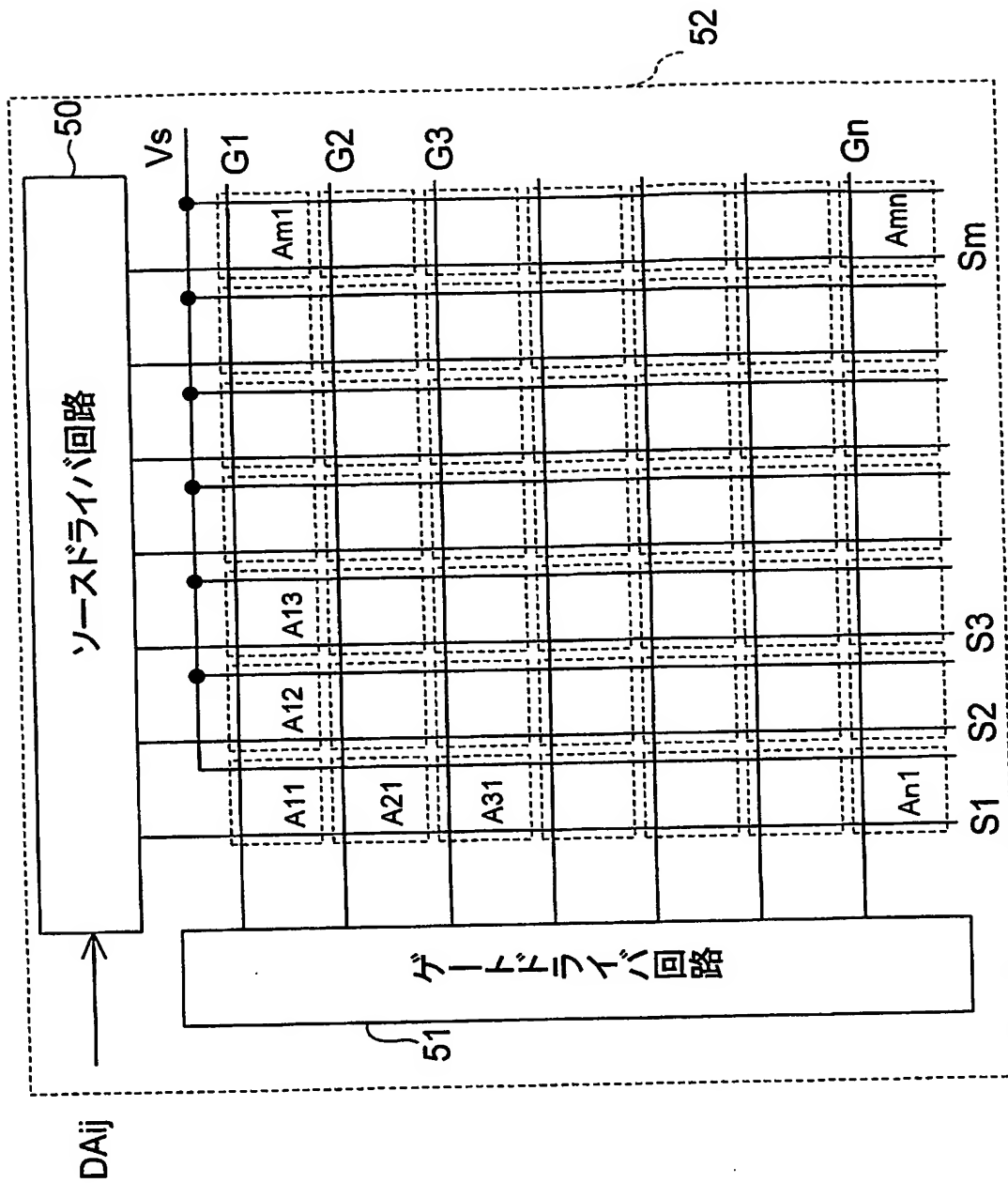
【図 5】



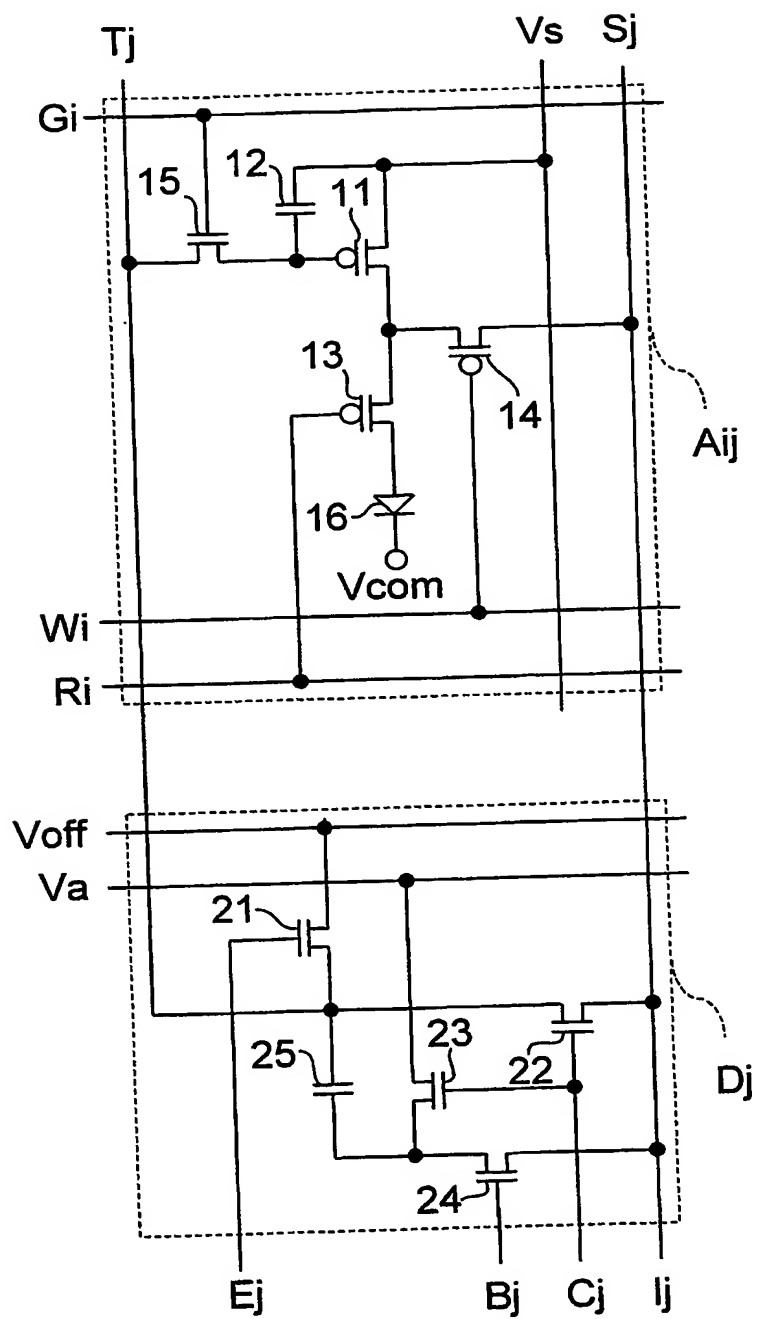
【図 6】



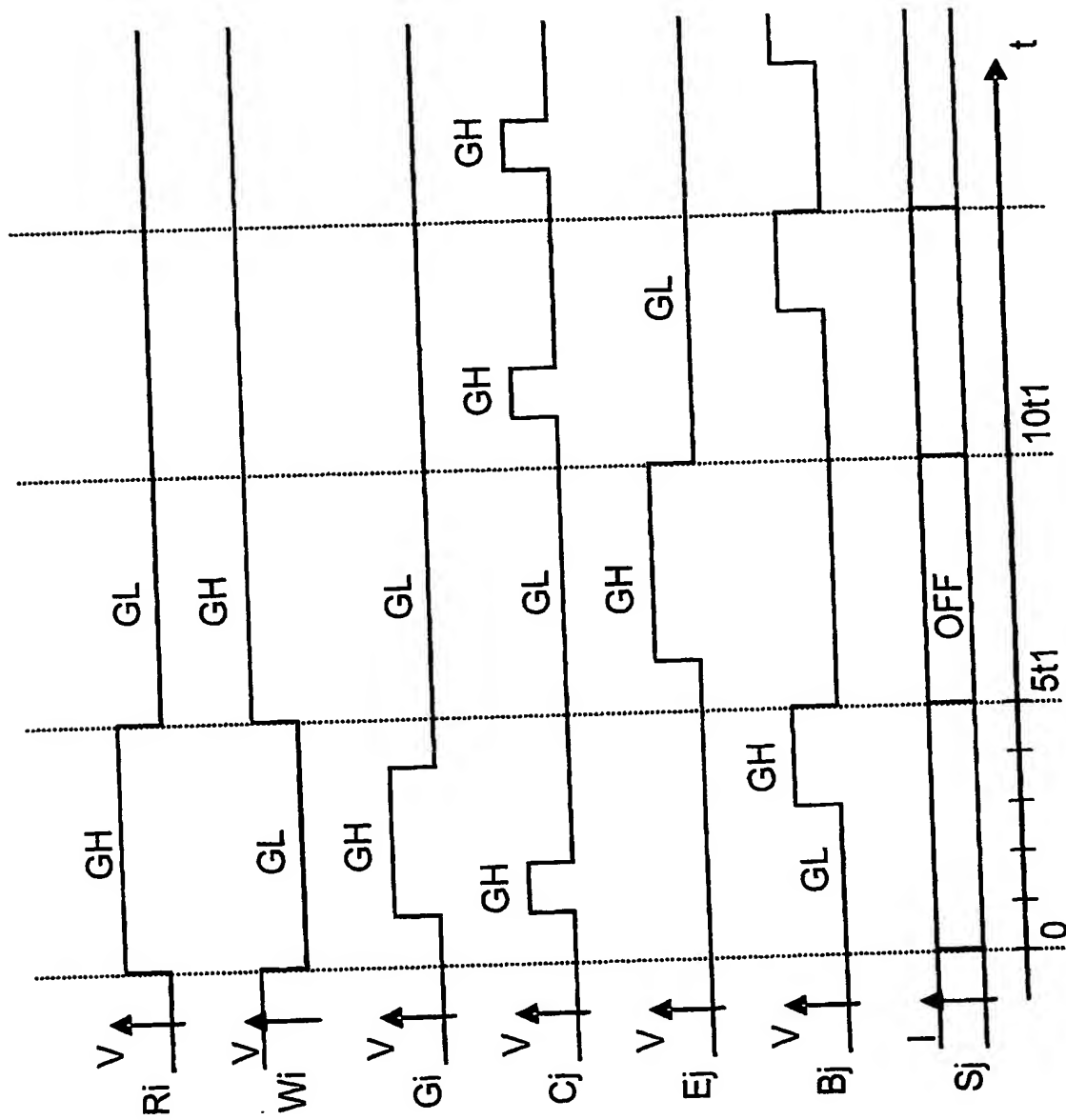
【図 7】



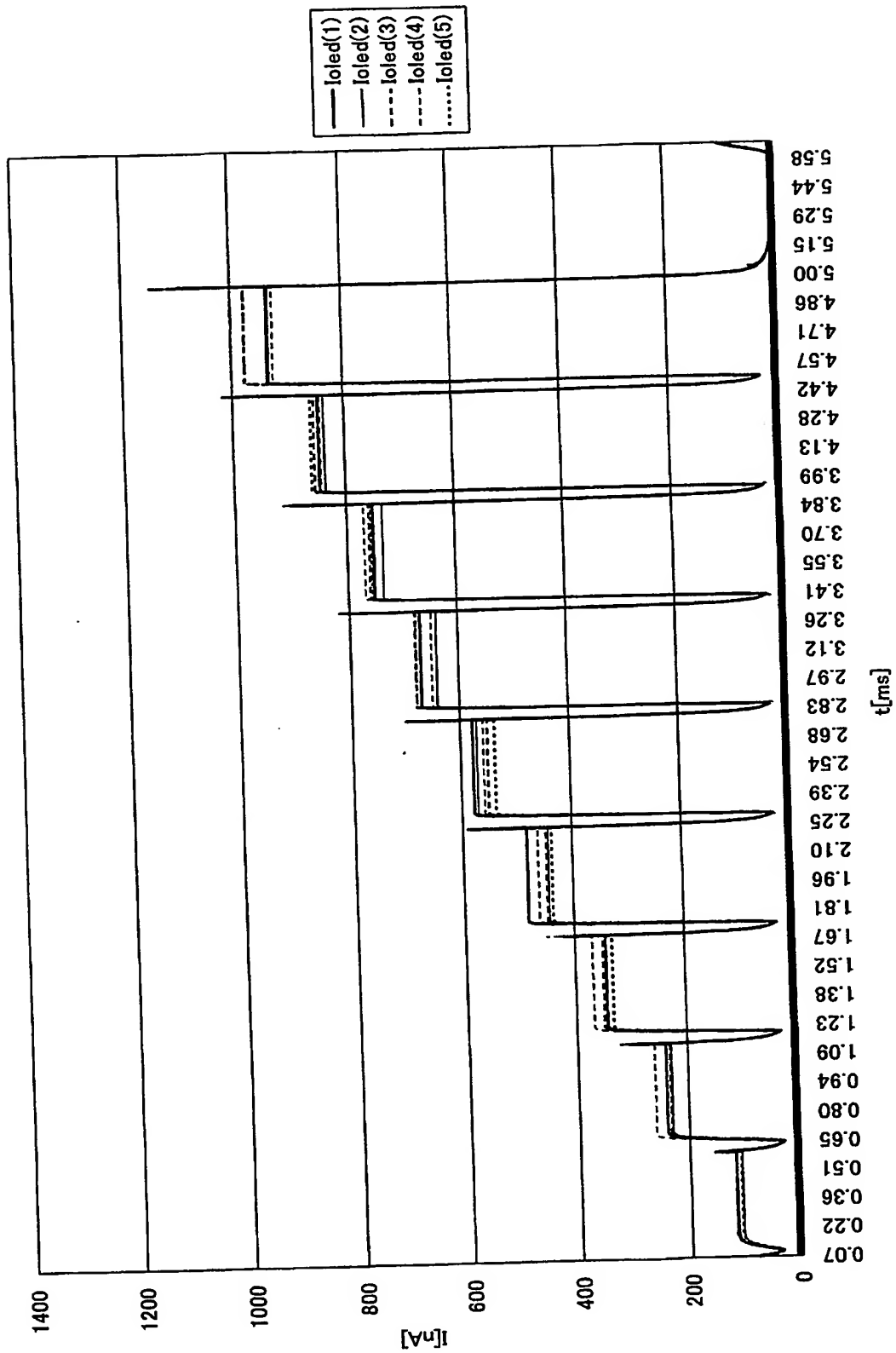
【図 8】



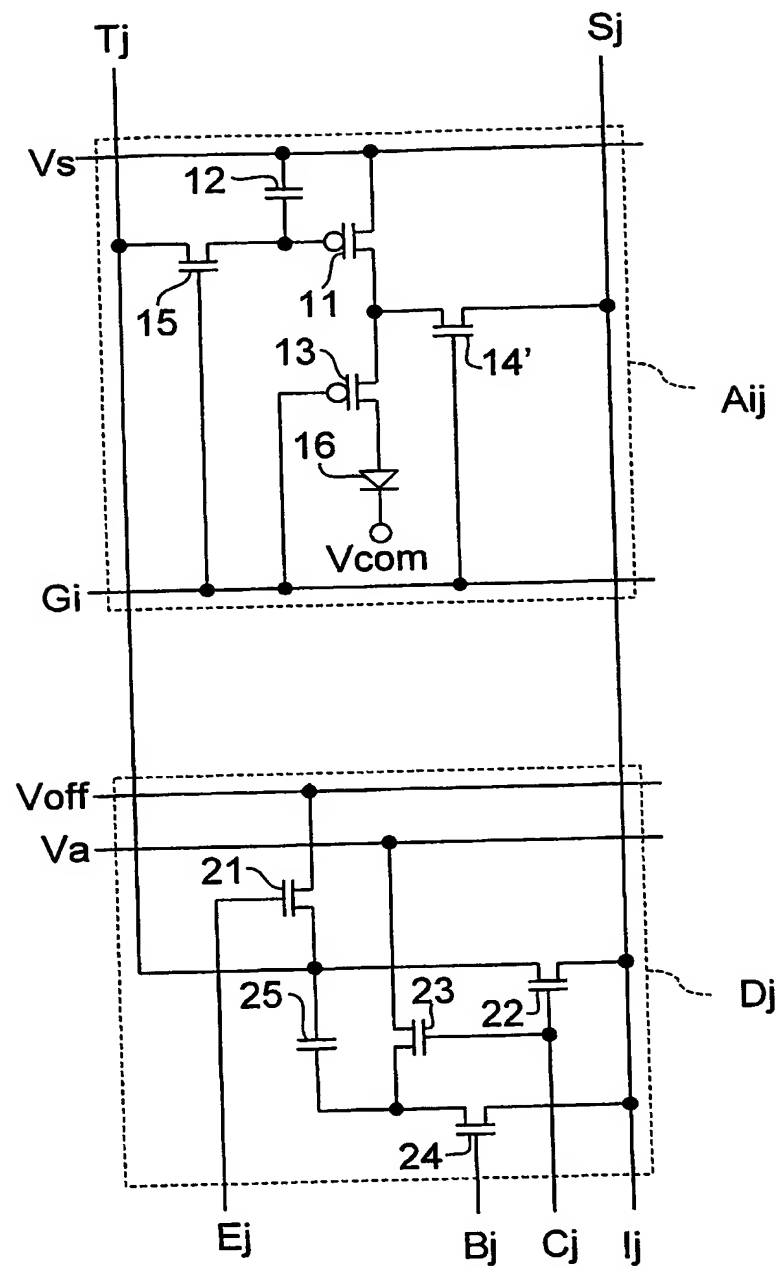
【図 9】



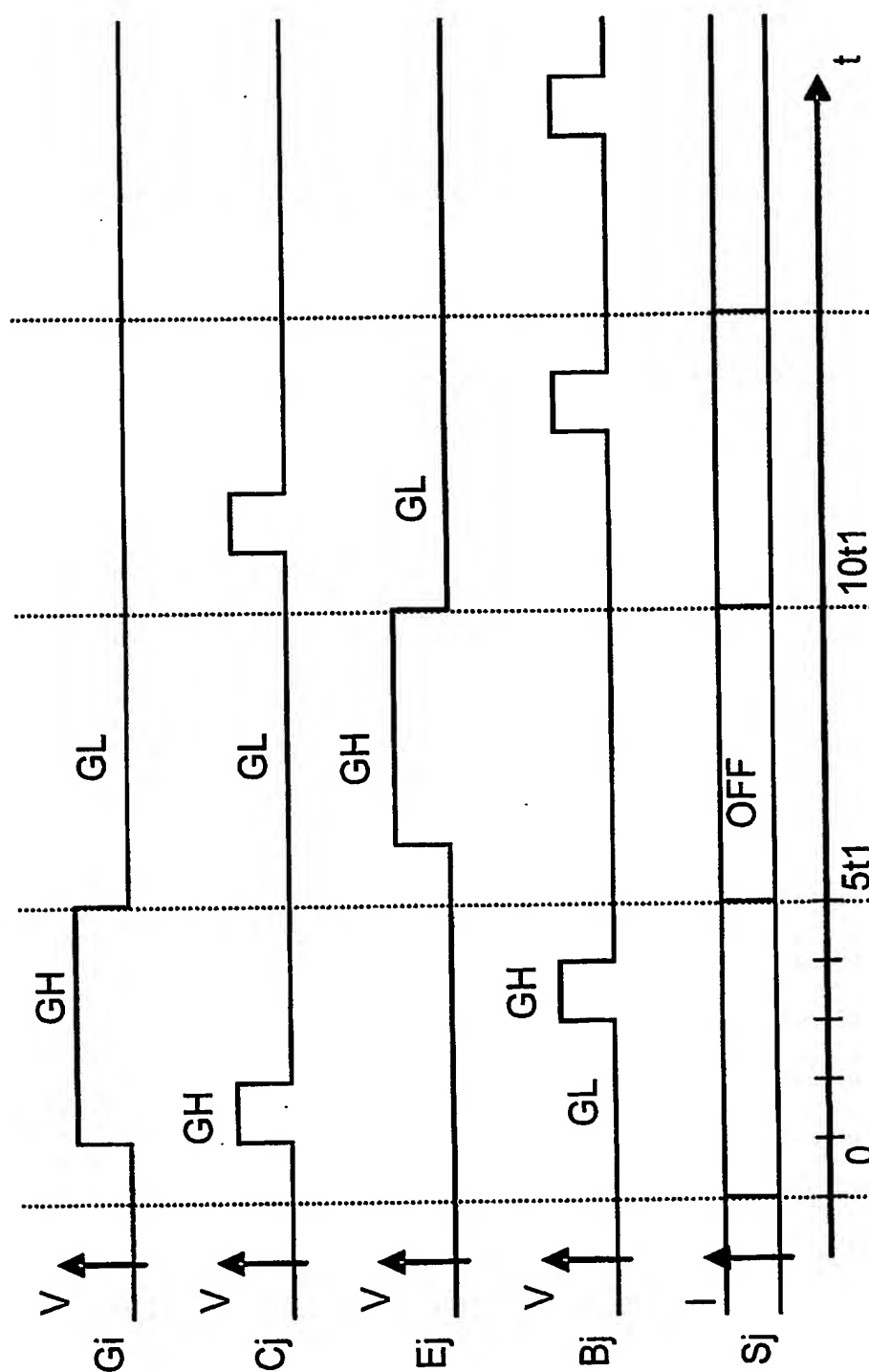
【図 10】



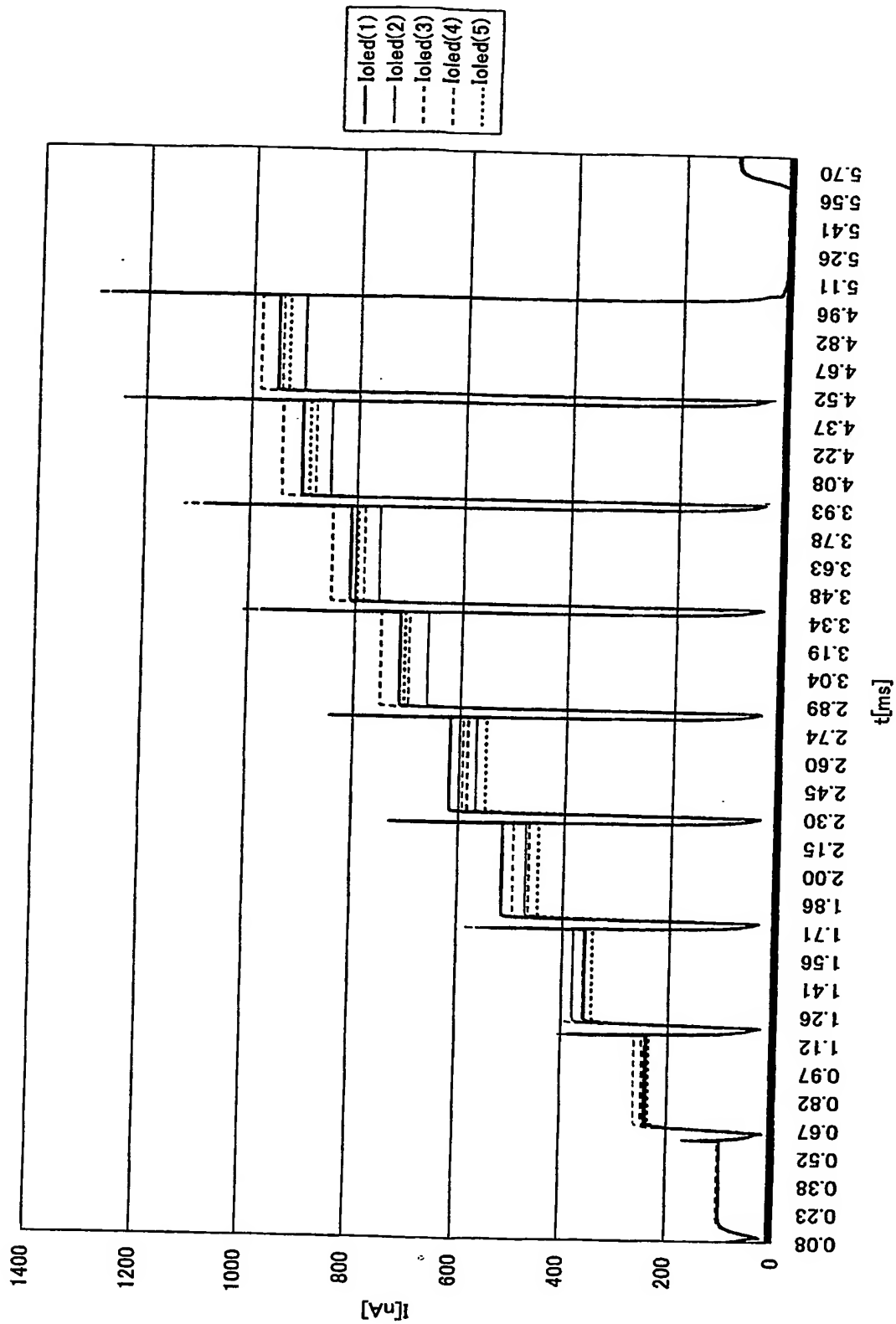
【図 11】



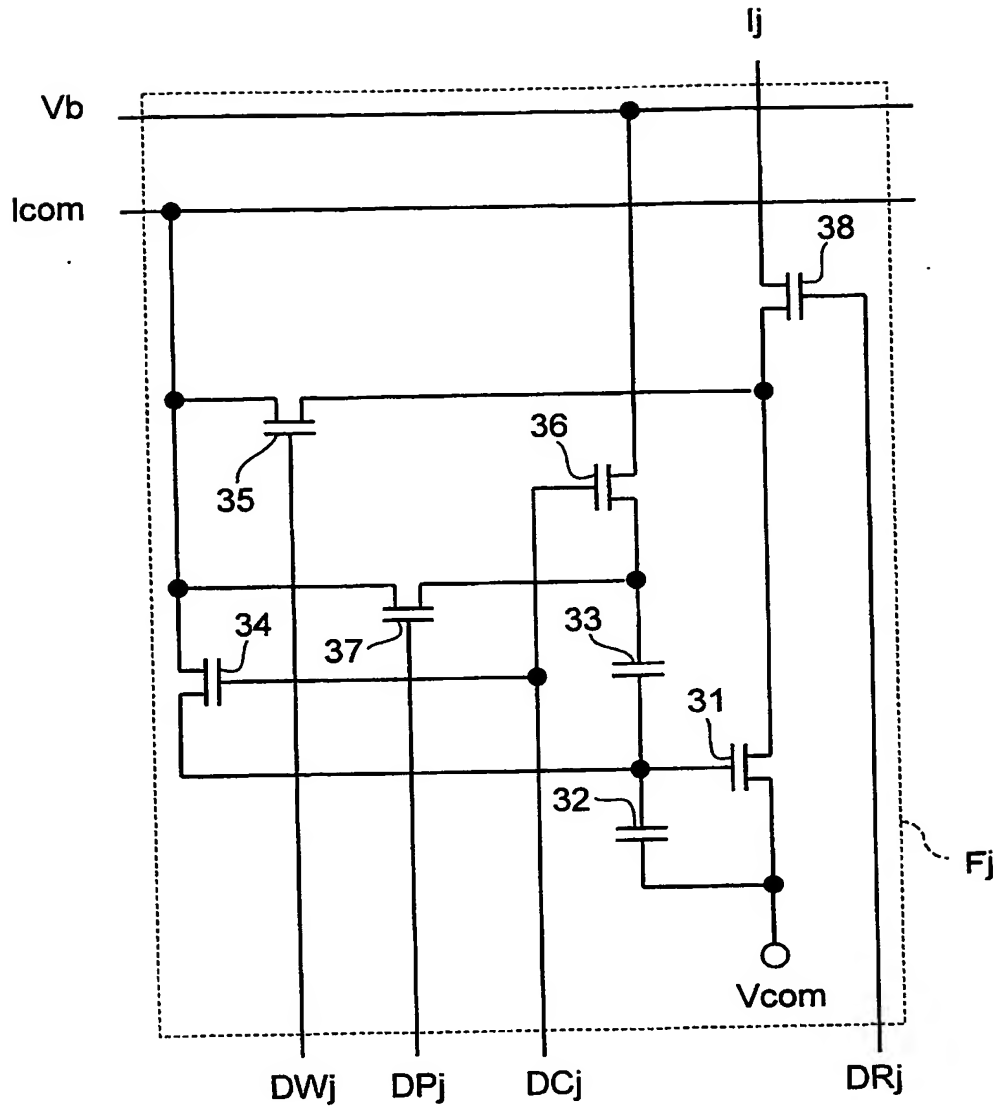
【図 12】



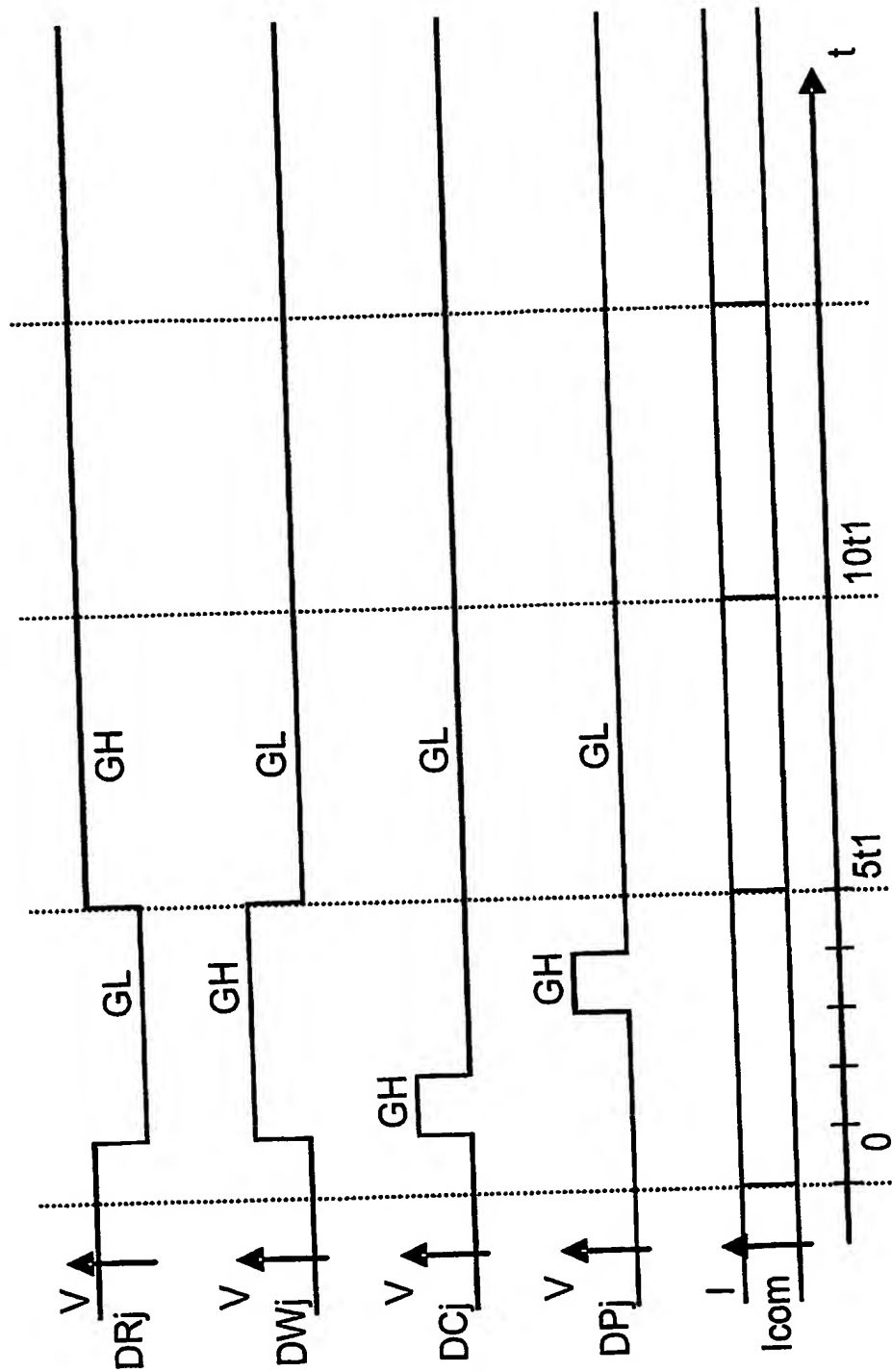
【図 13】



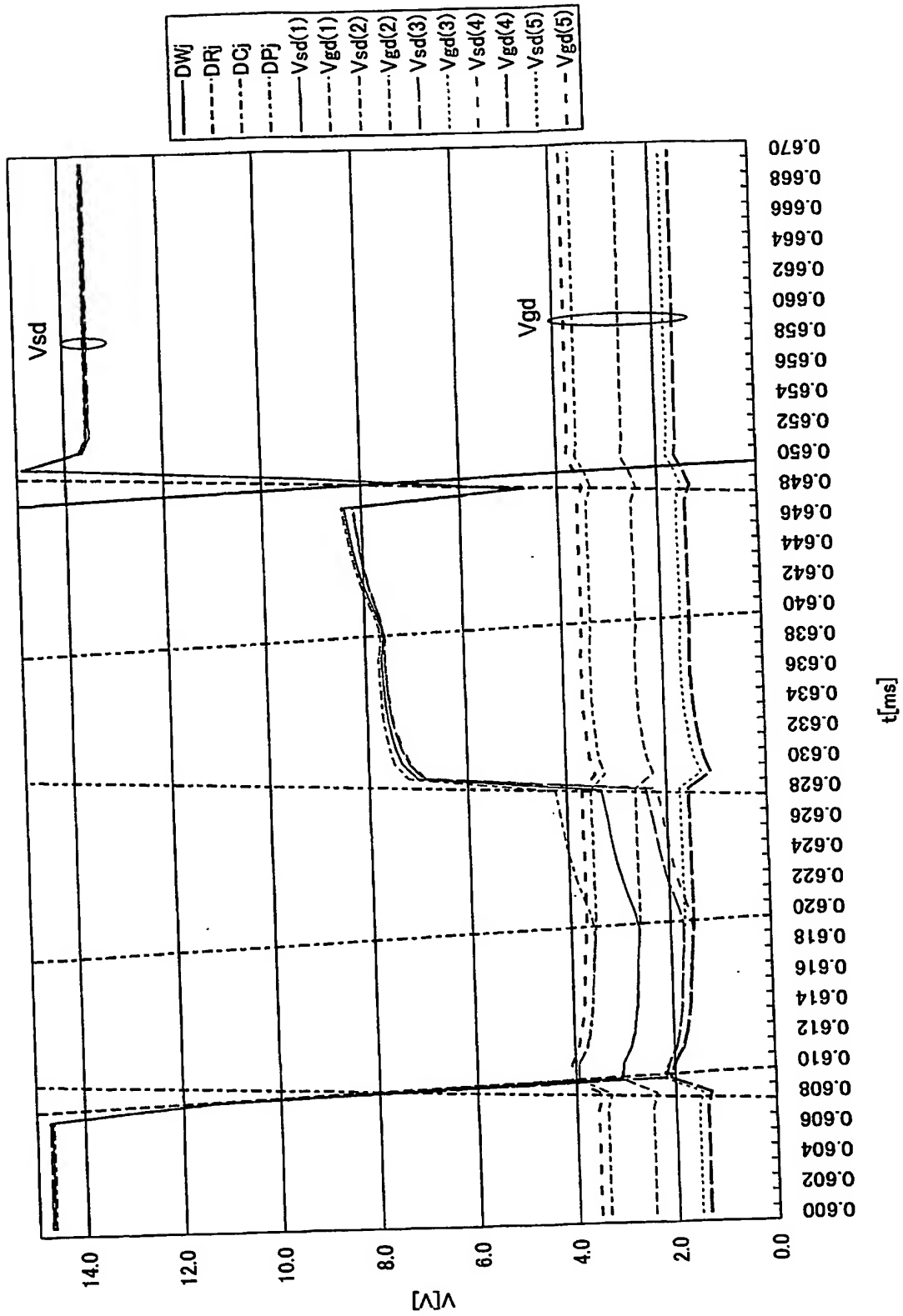
【図 14】



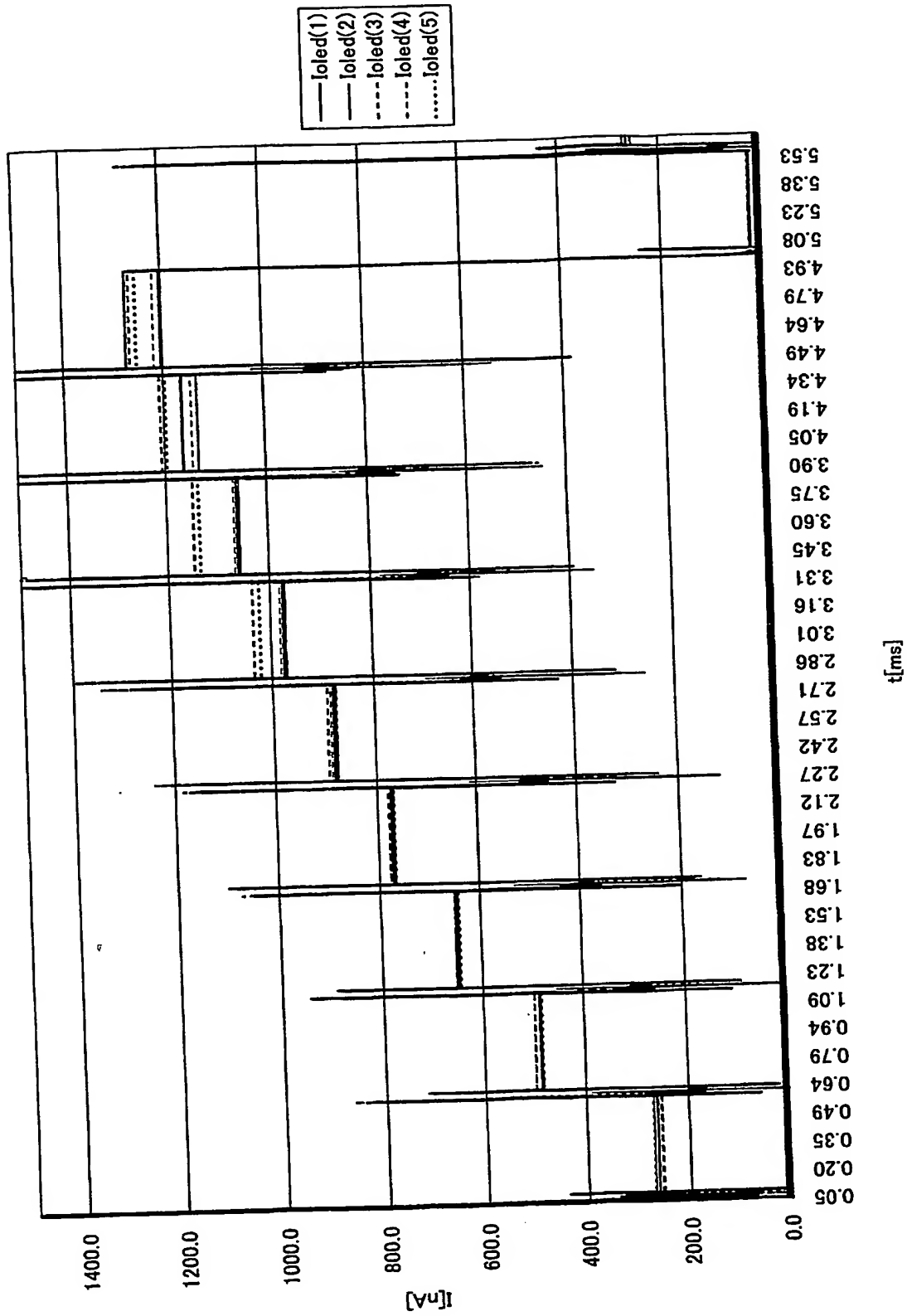
【図 15】



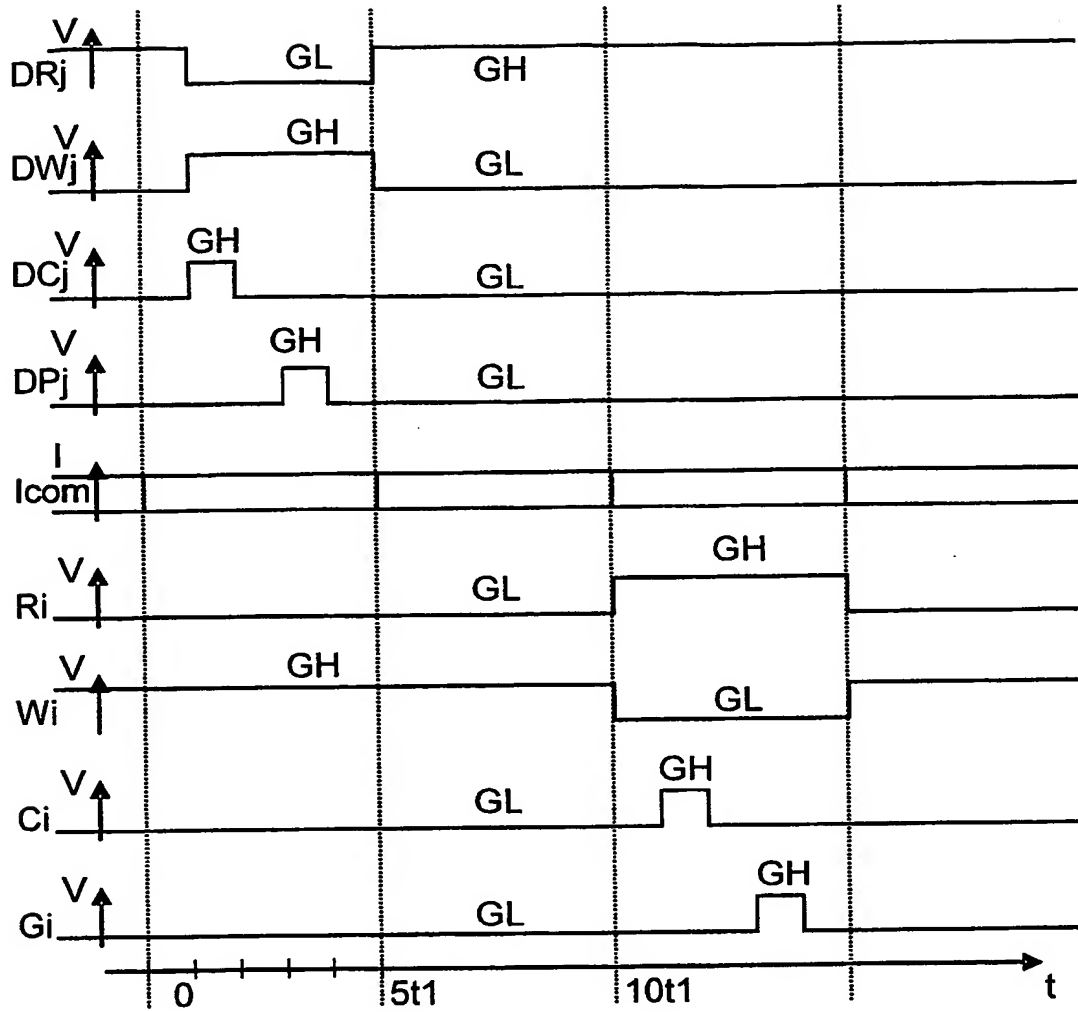
【図 16】



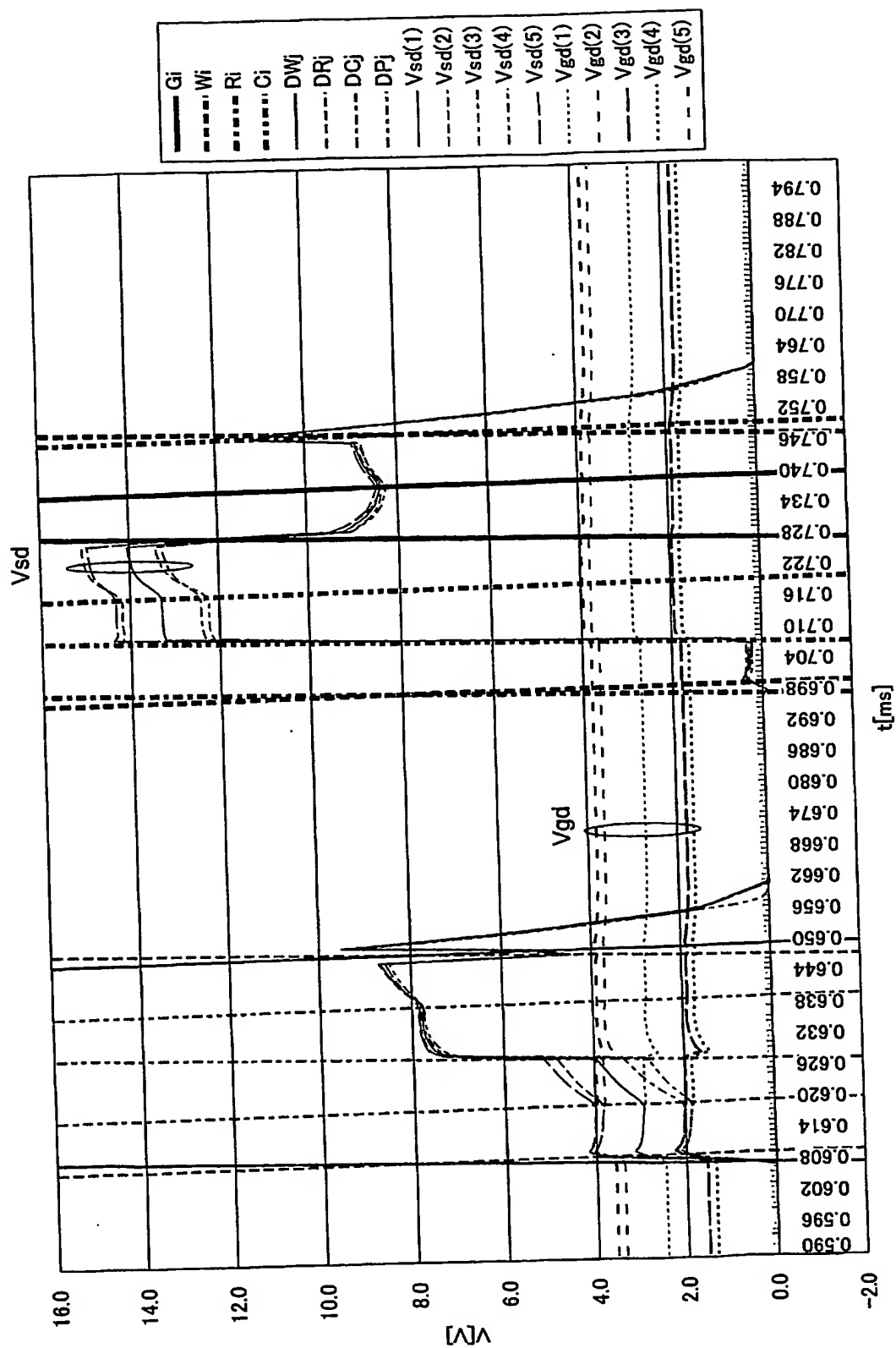
【図 17】



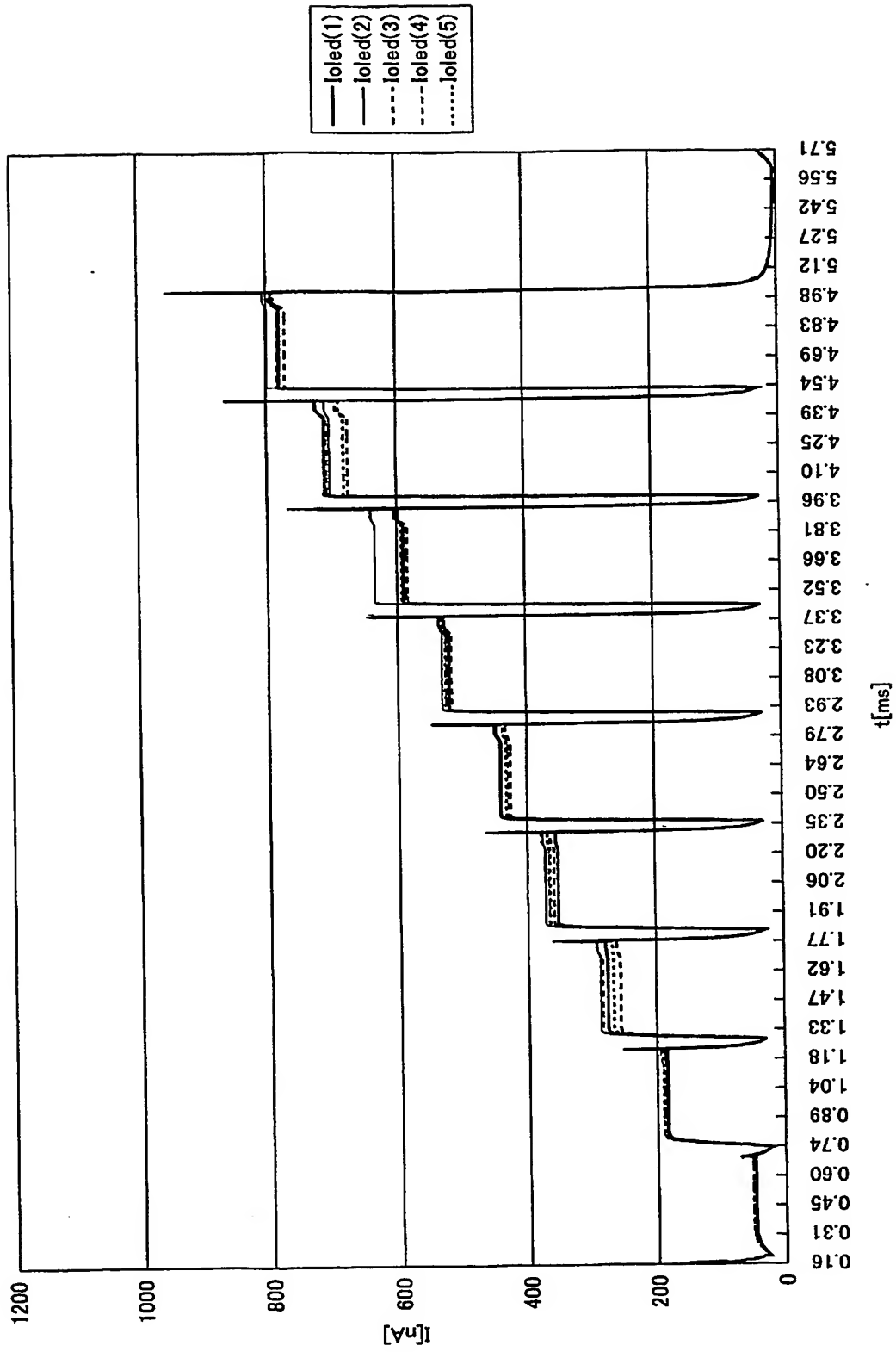
【図 18】



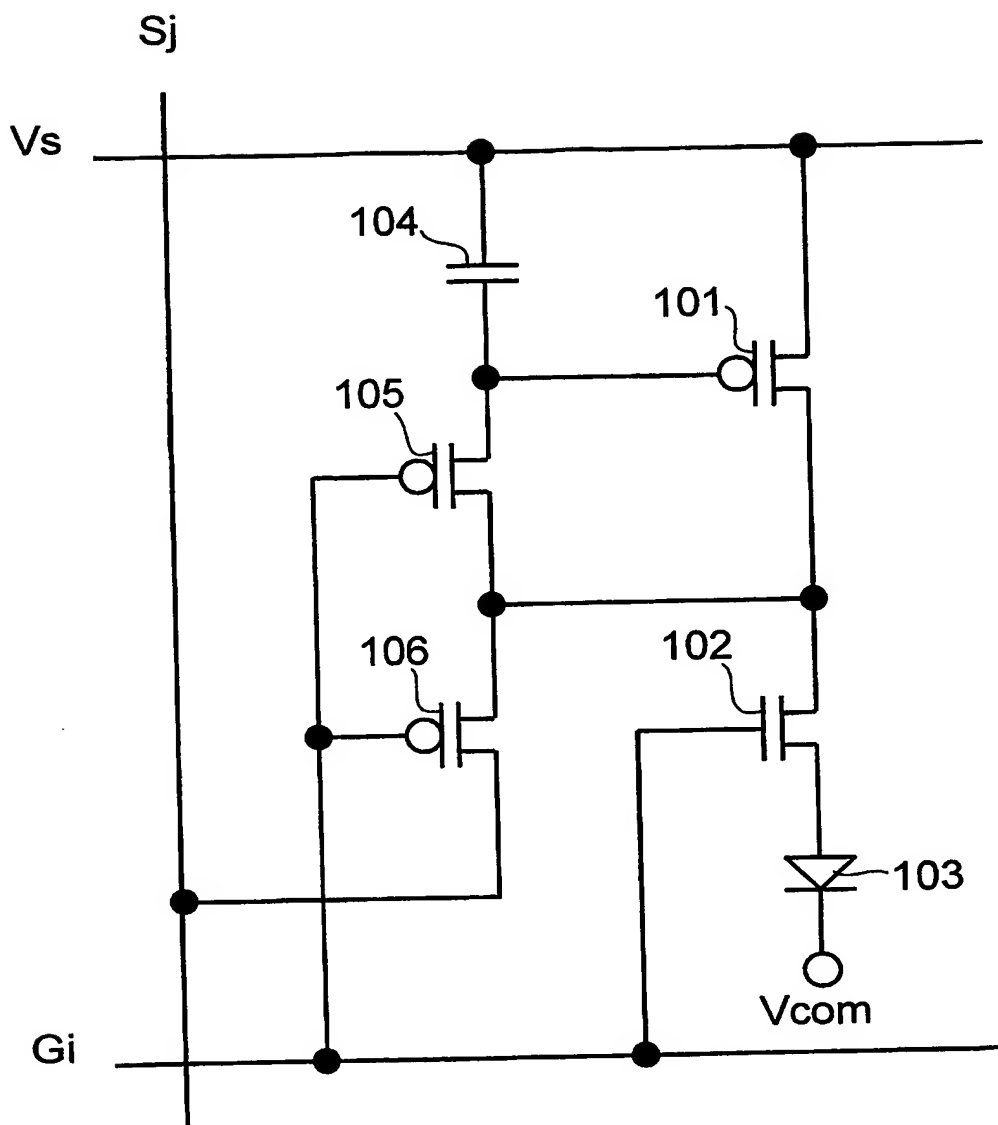
【図 19】



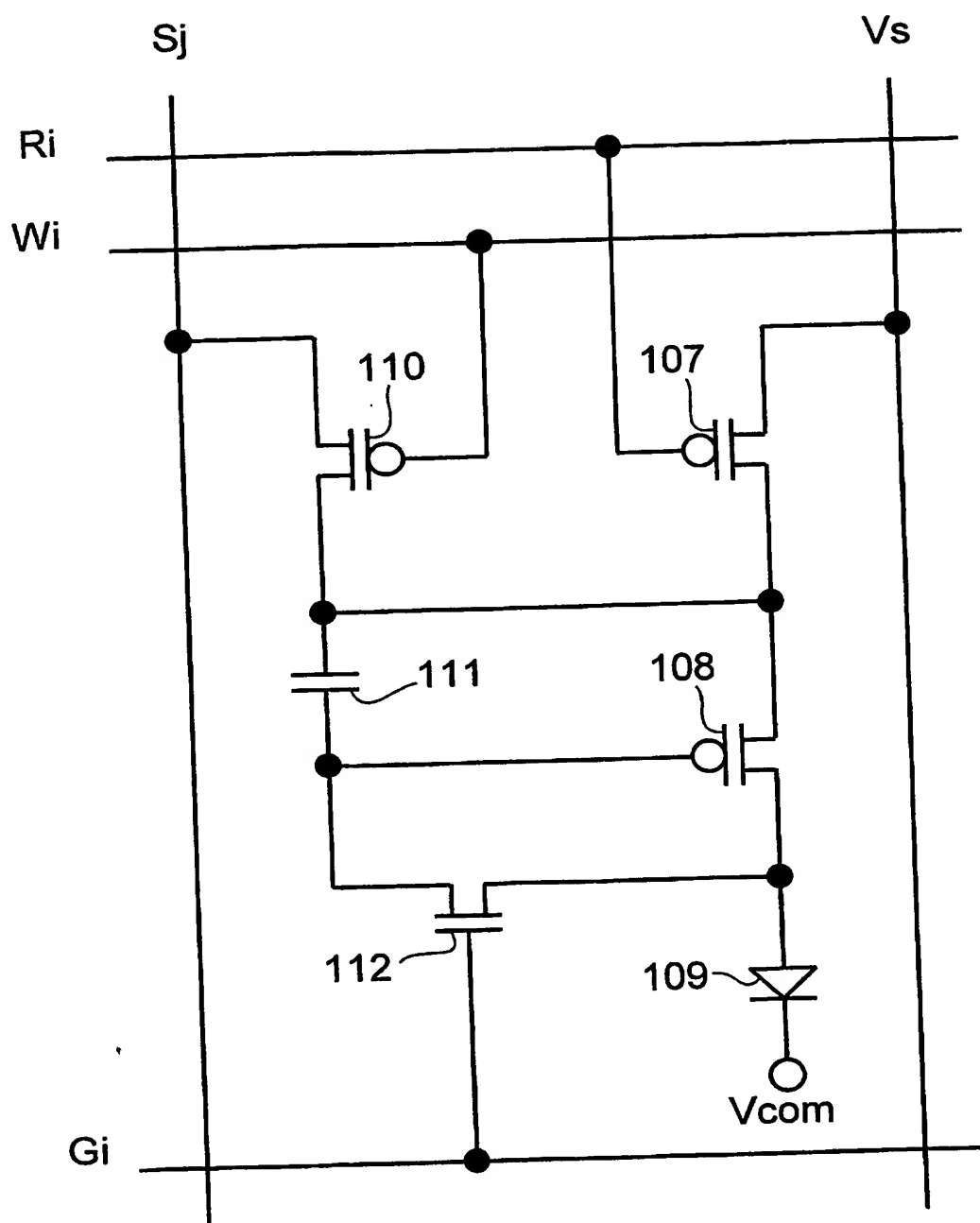
【図 20】



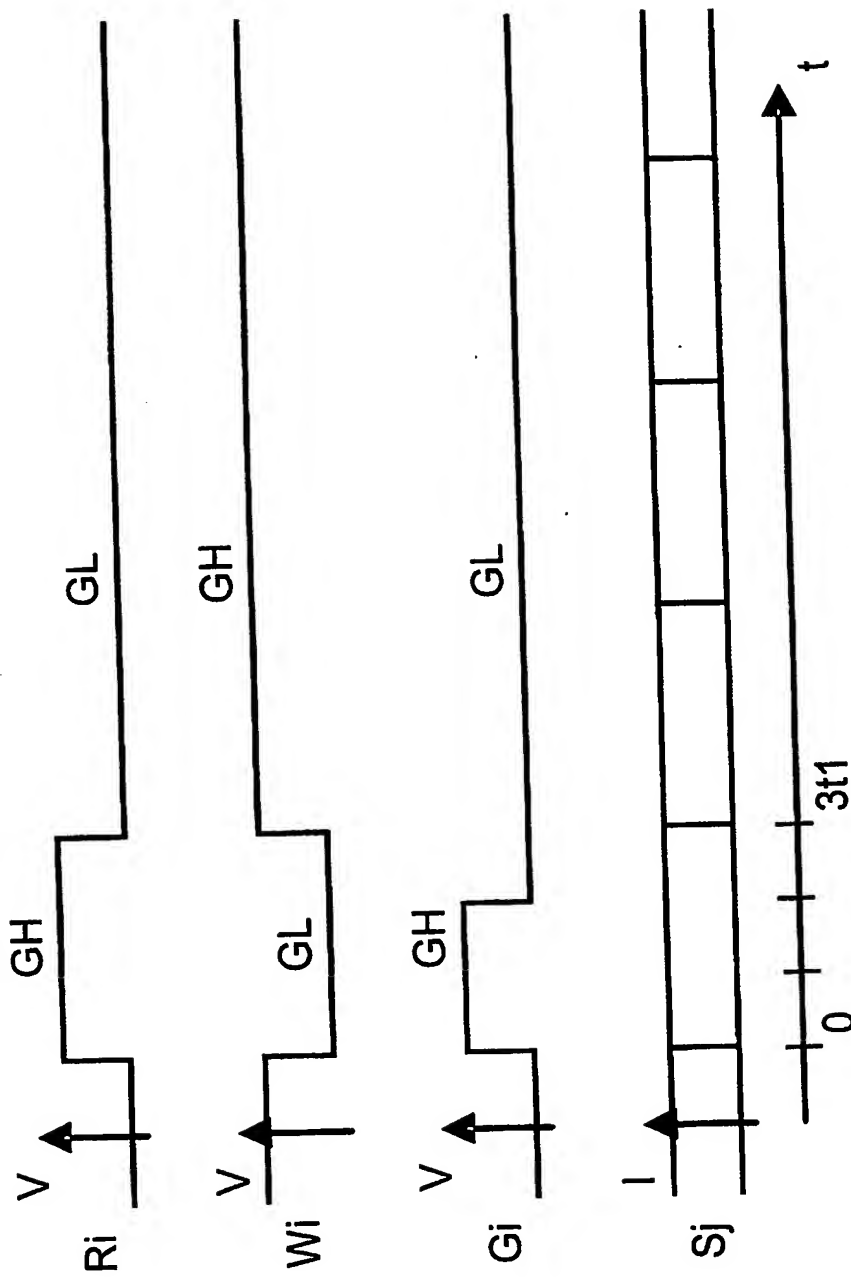
【図 22】



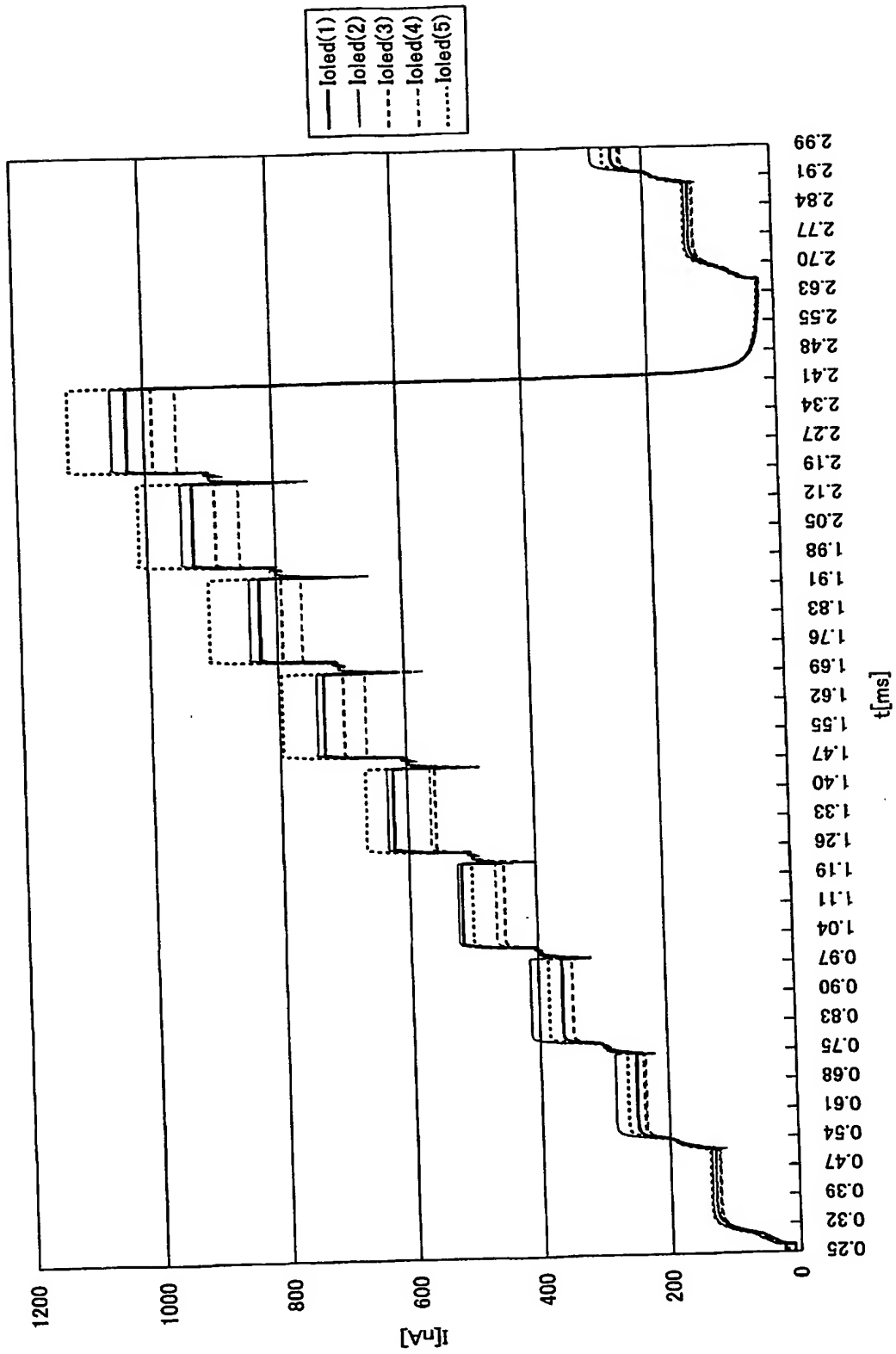
【図 23】



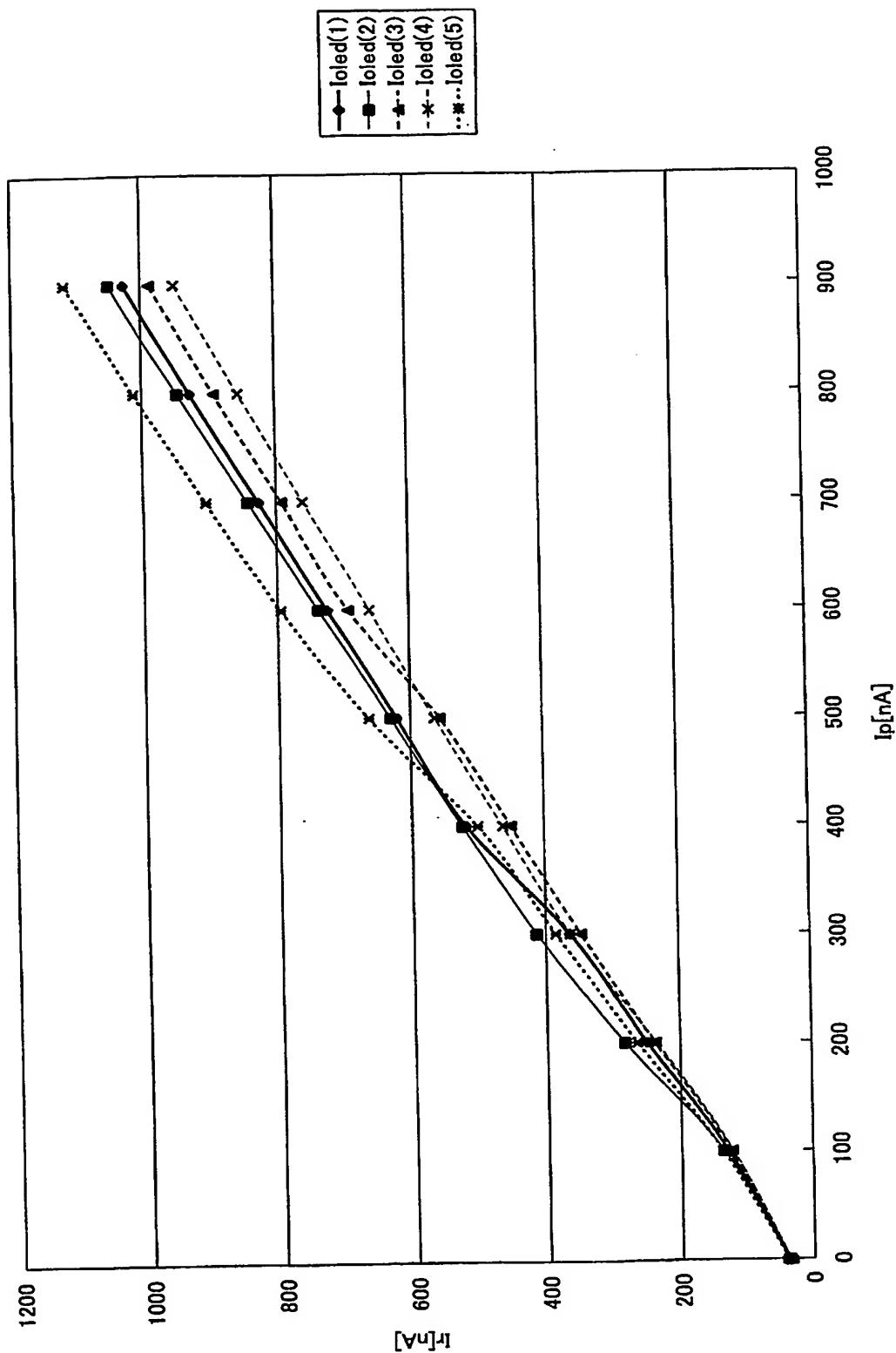
【図 24】



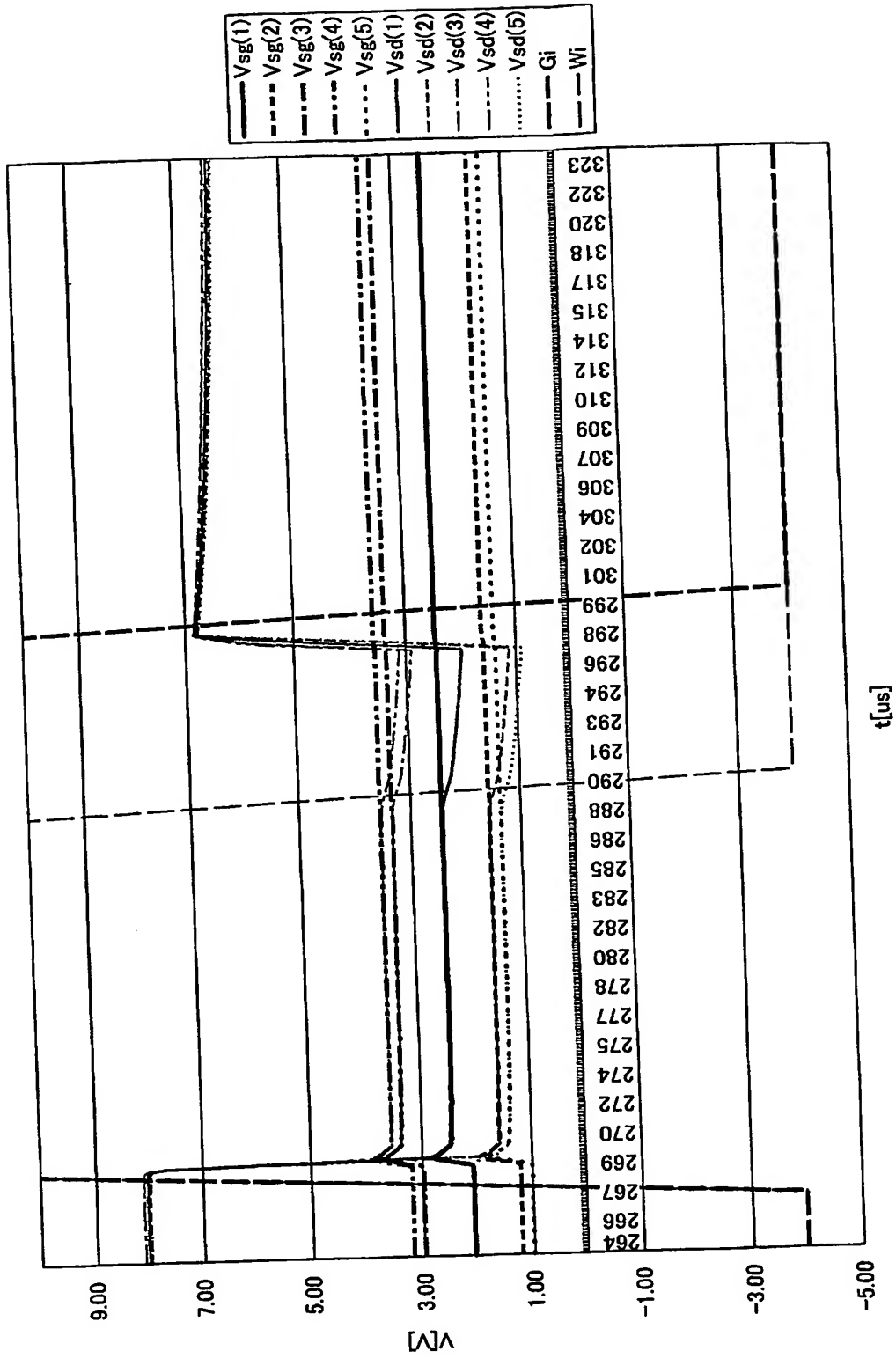
【図25】



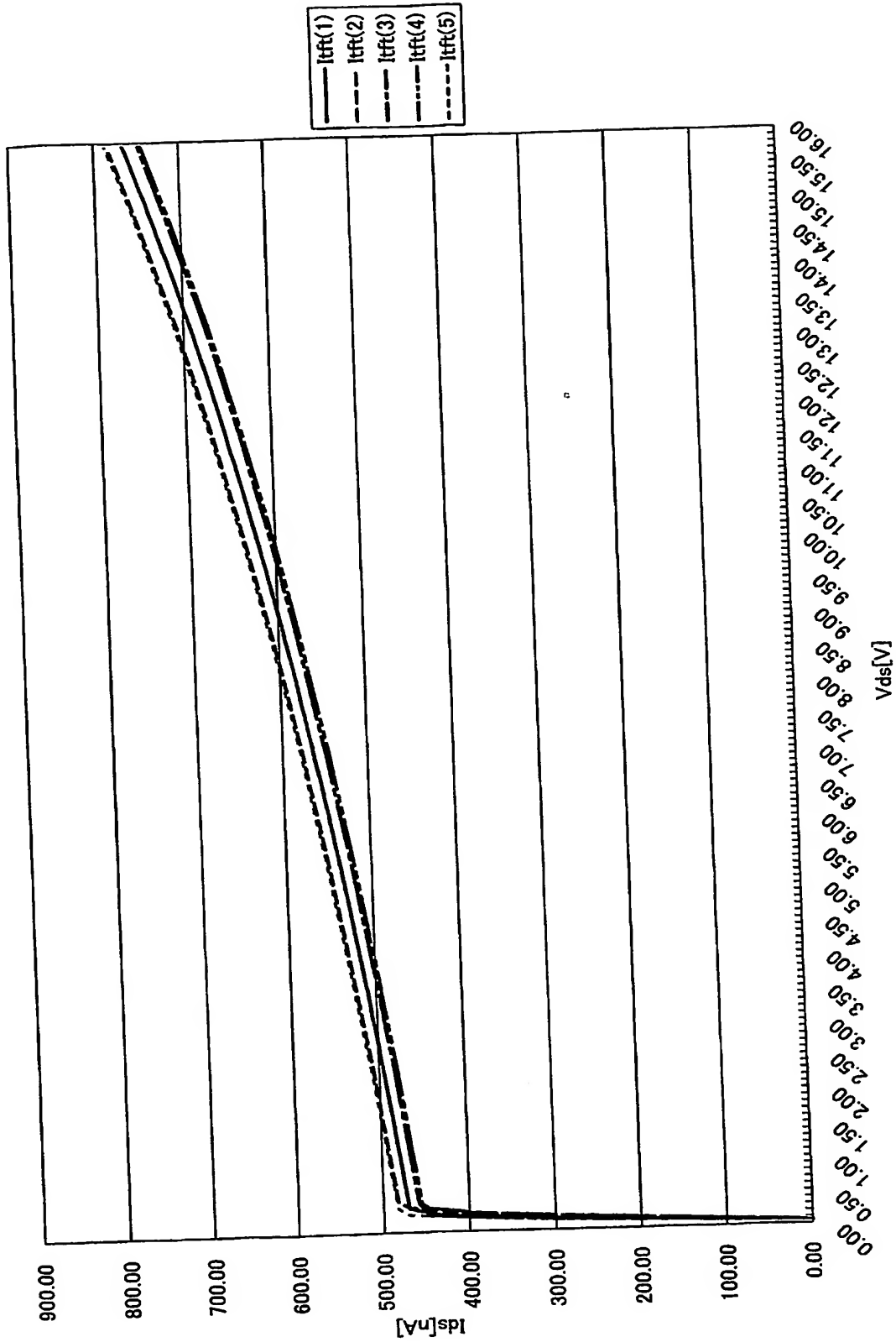
【図 26】



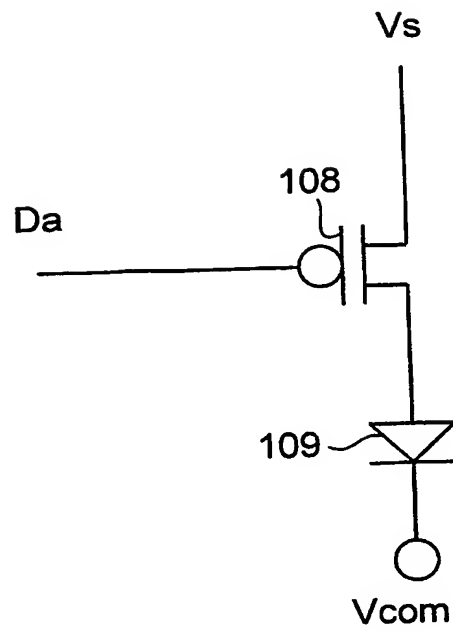
【図 27】



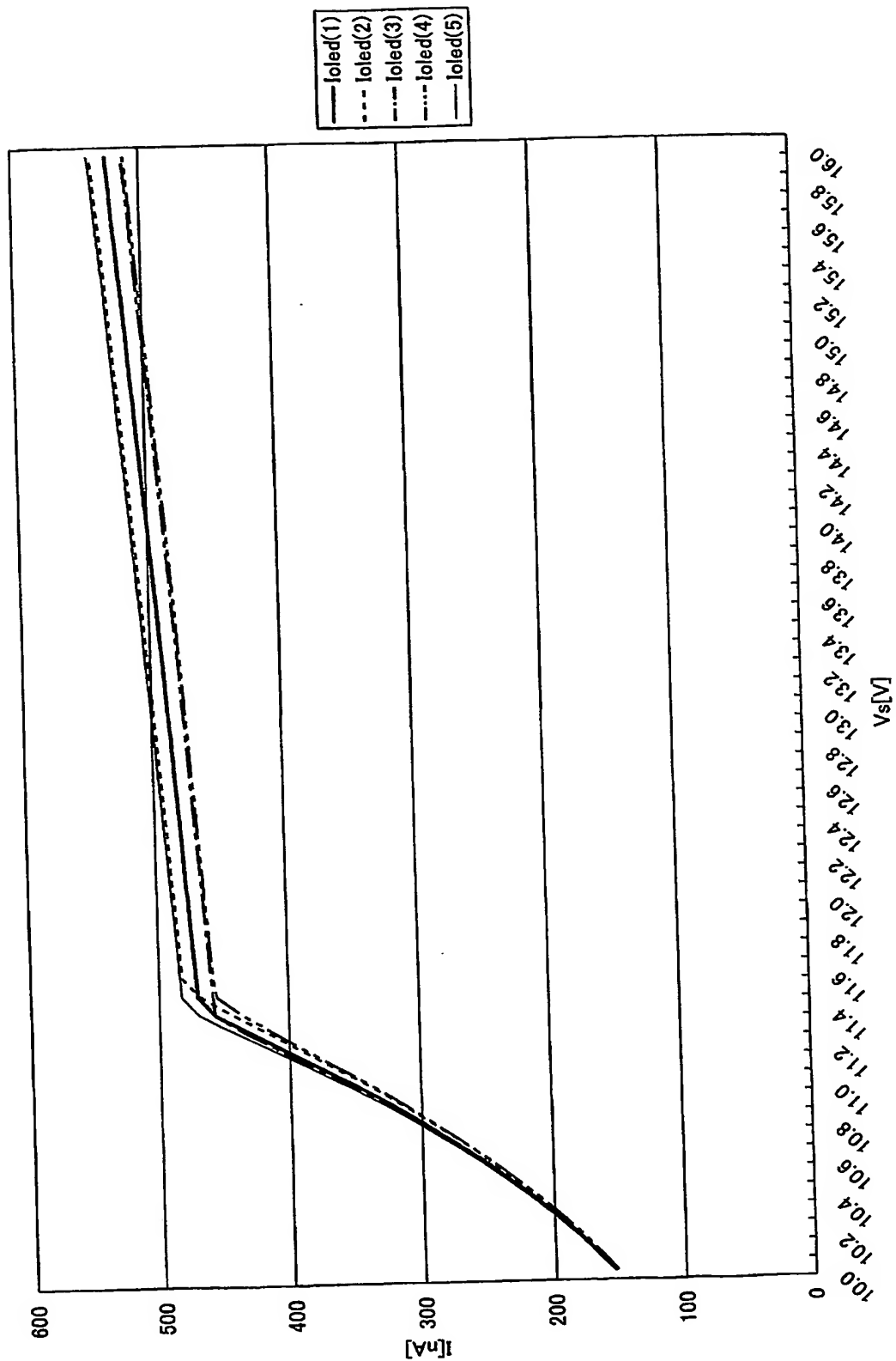
【図 28】



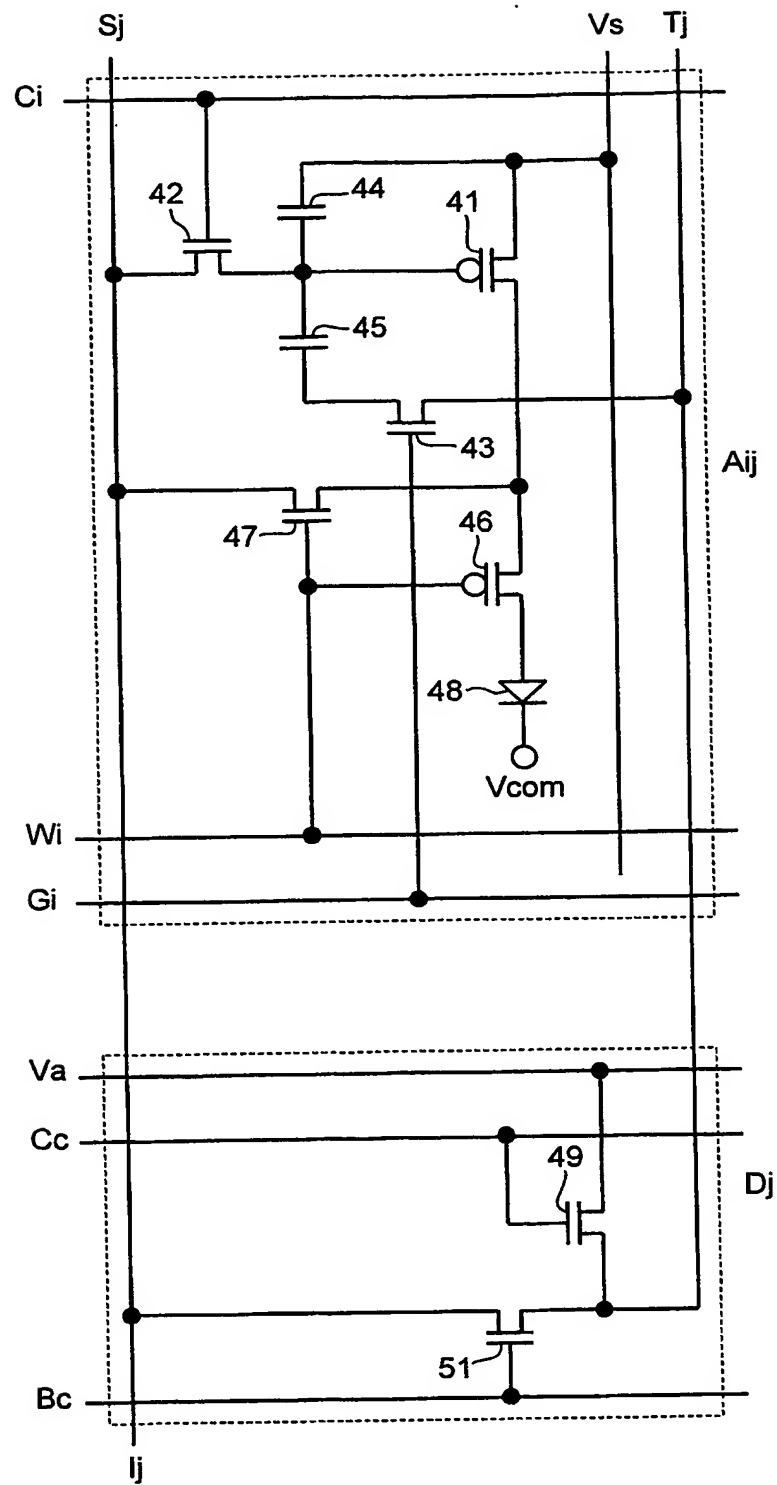
【図 29】



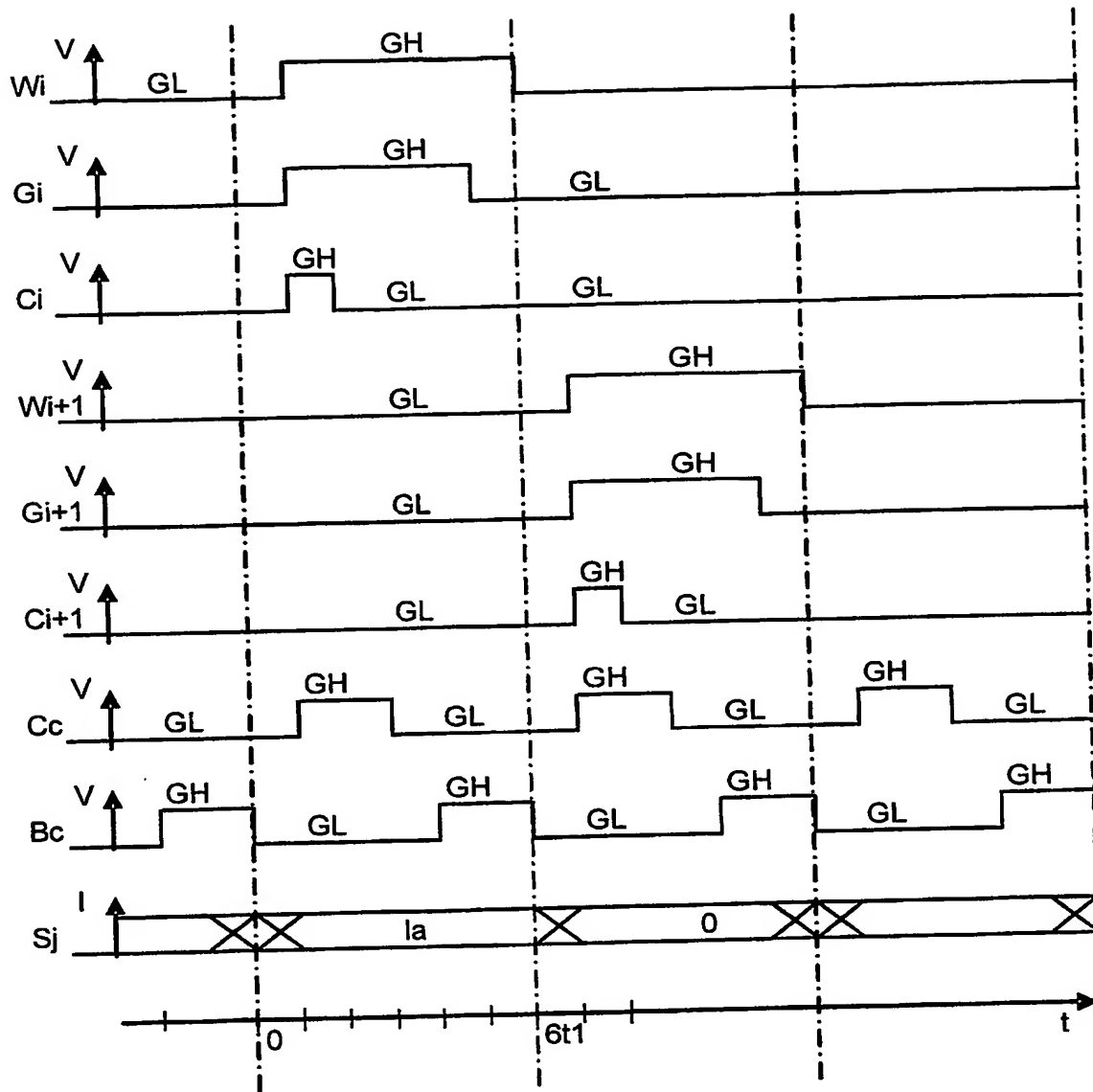
【図 30】



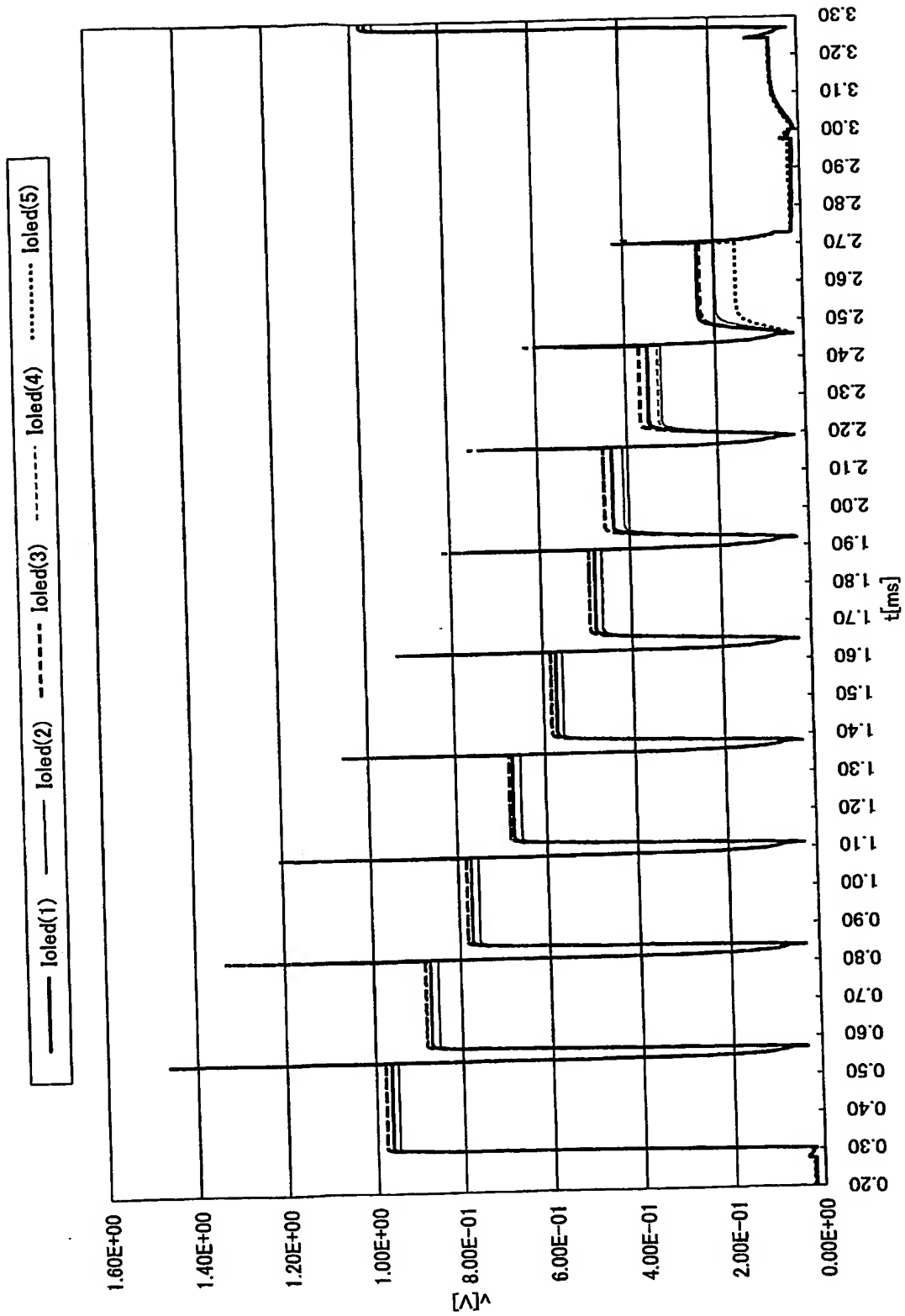
【図 31】



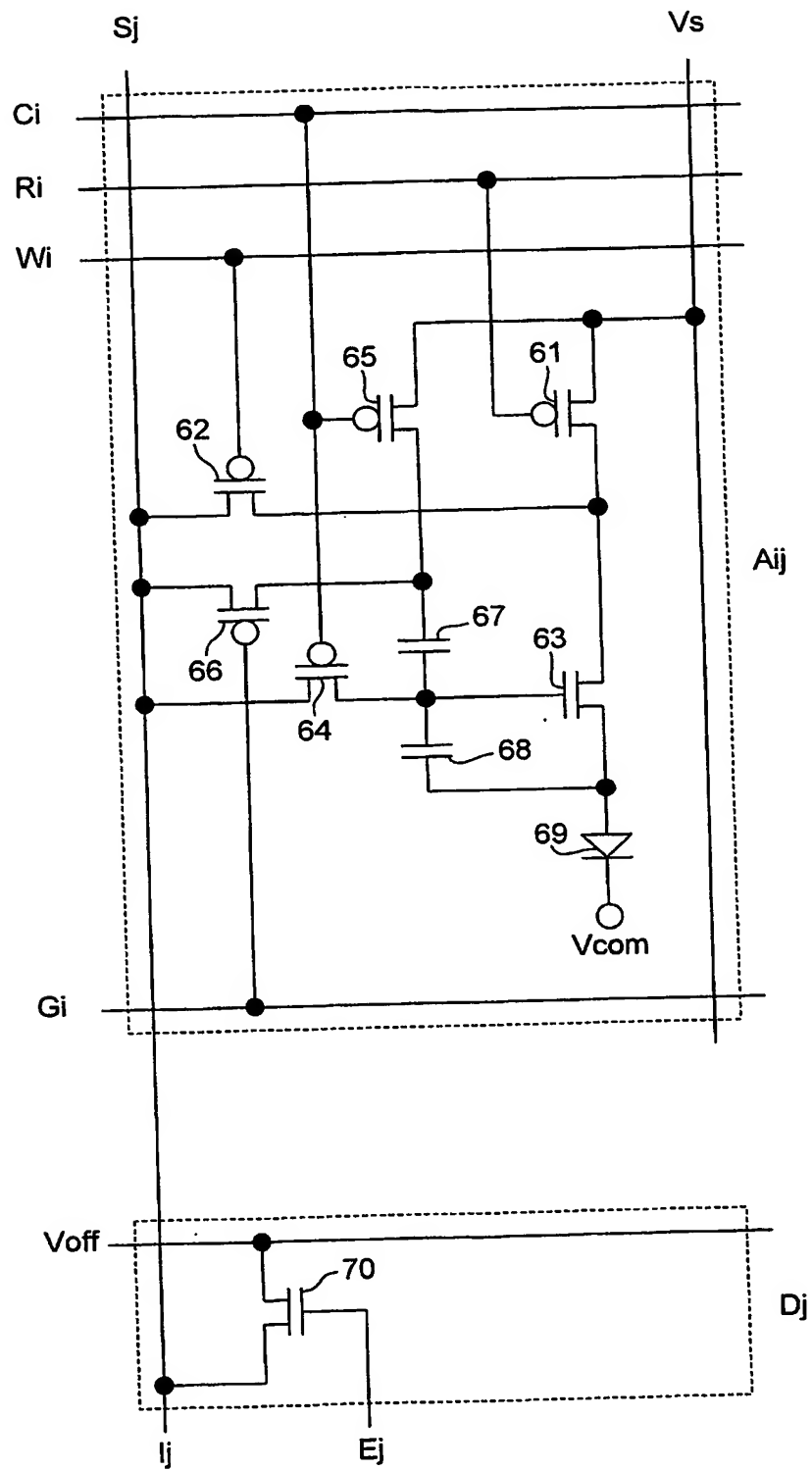
【図 3 2】



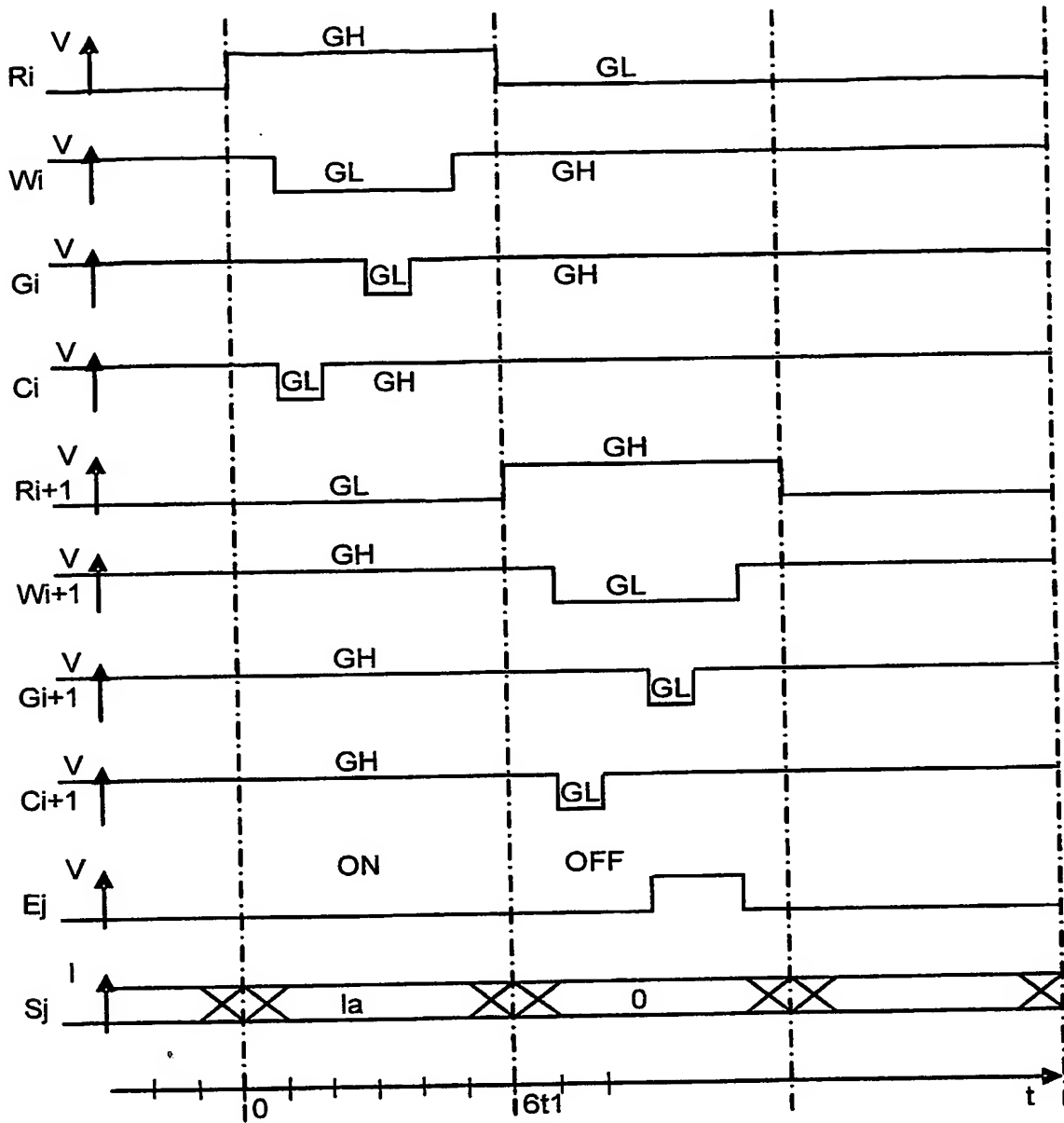
【図 33】



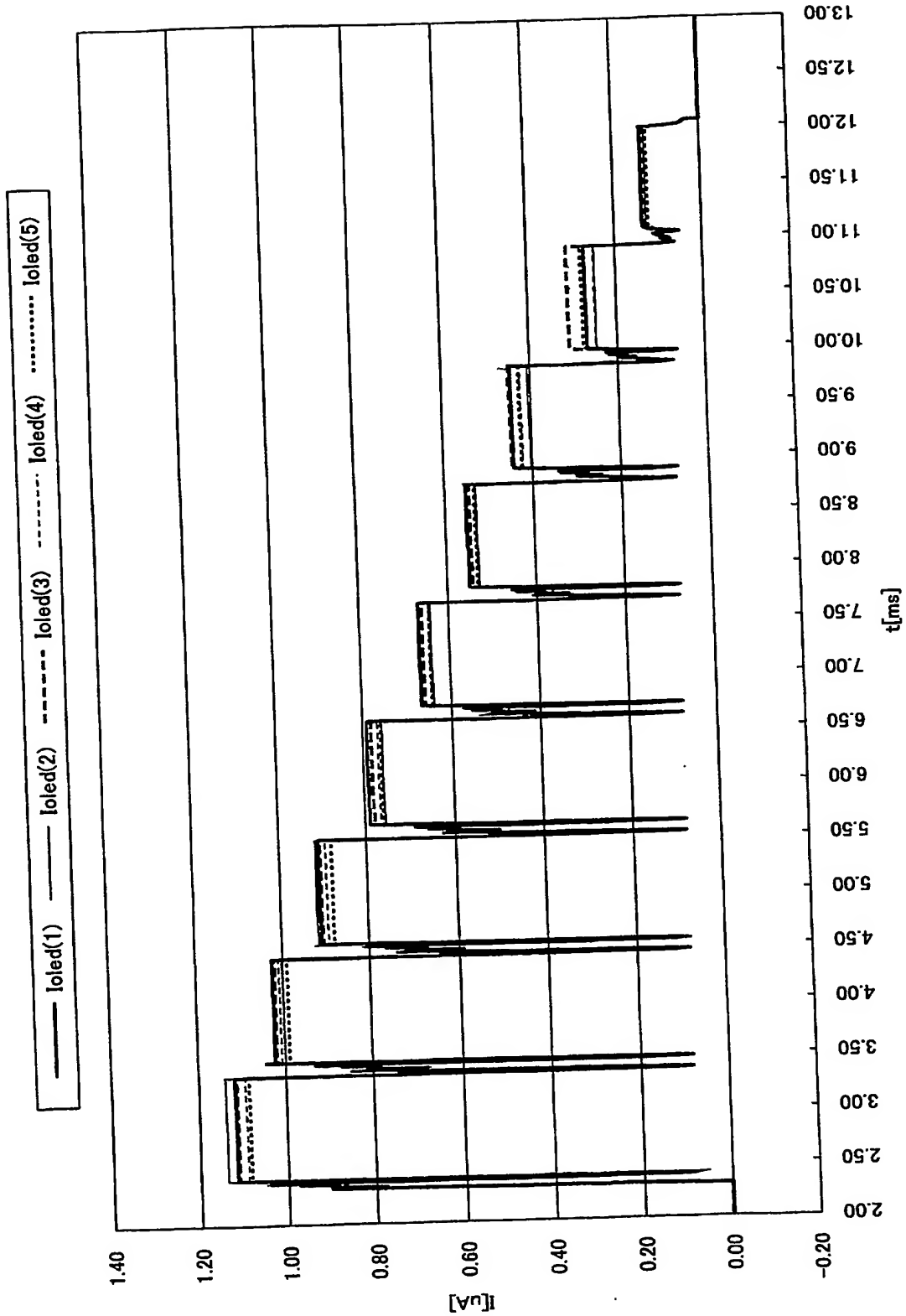
【図 34】



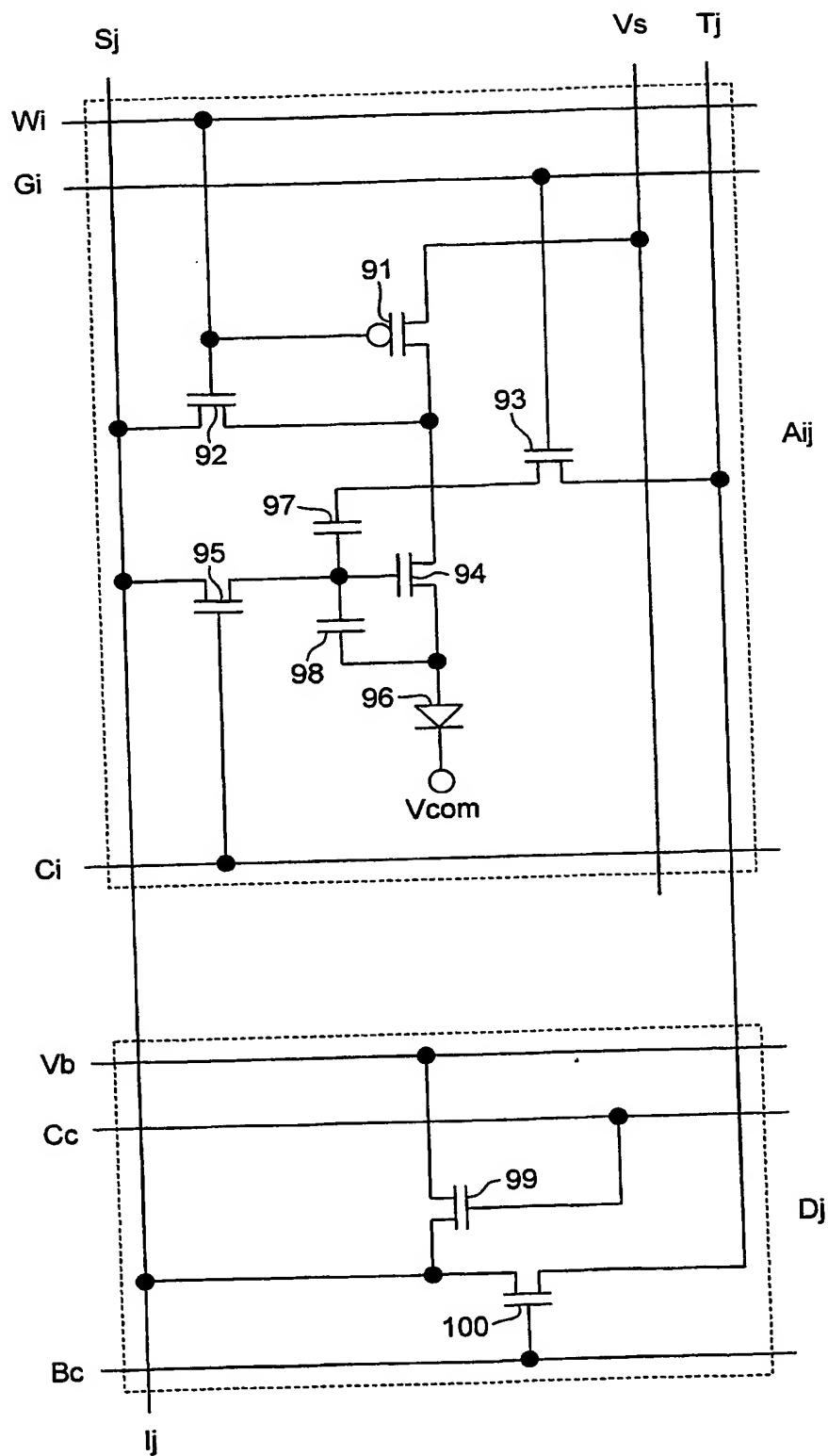
【図 35】



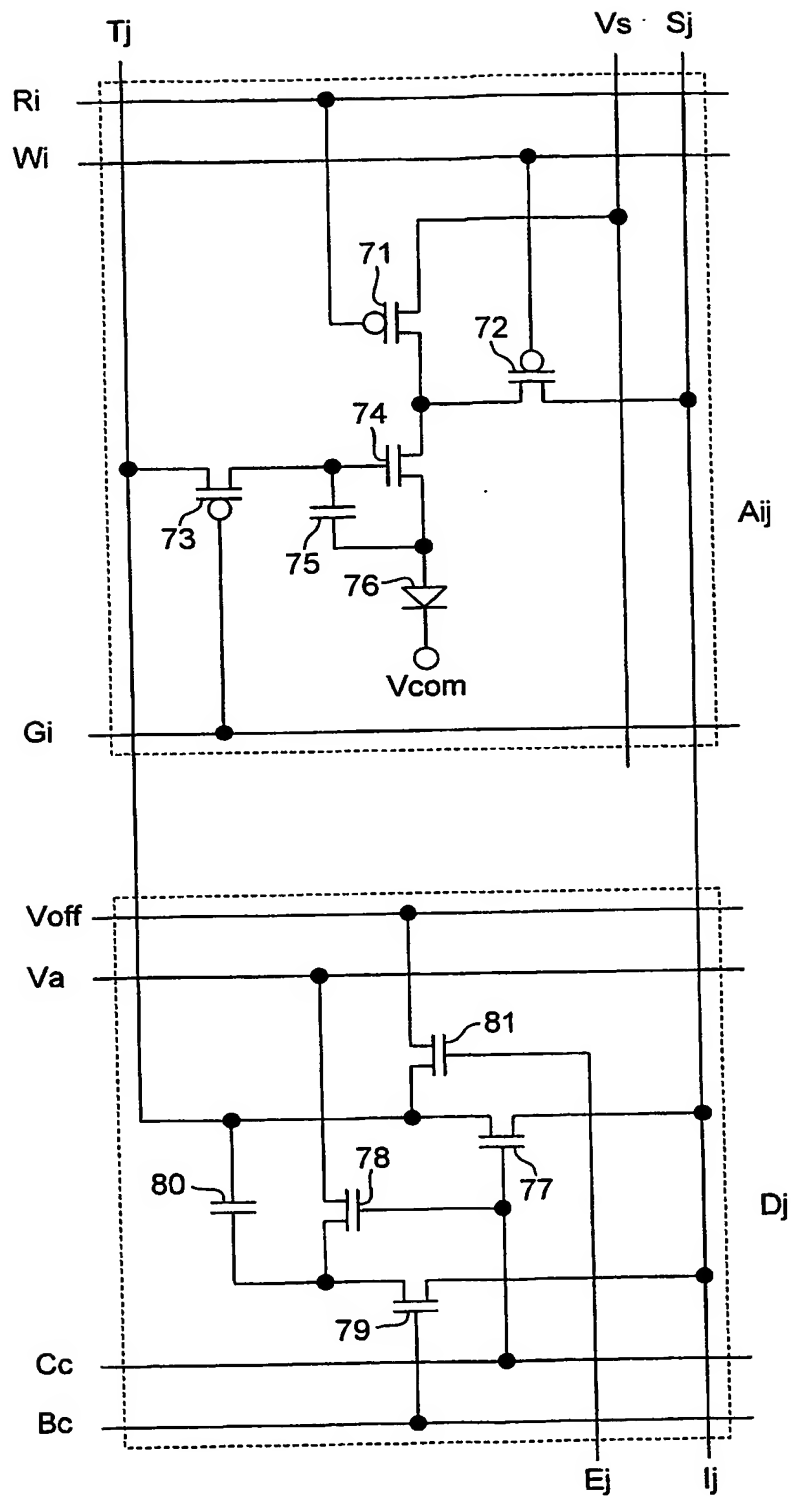
【図 36】



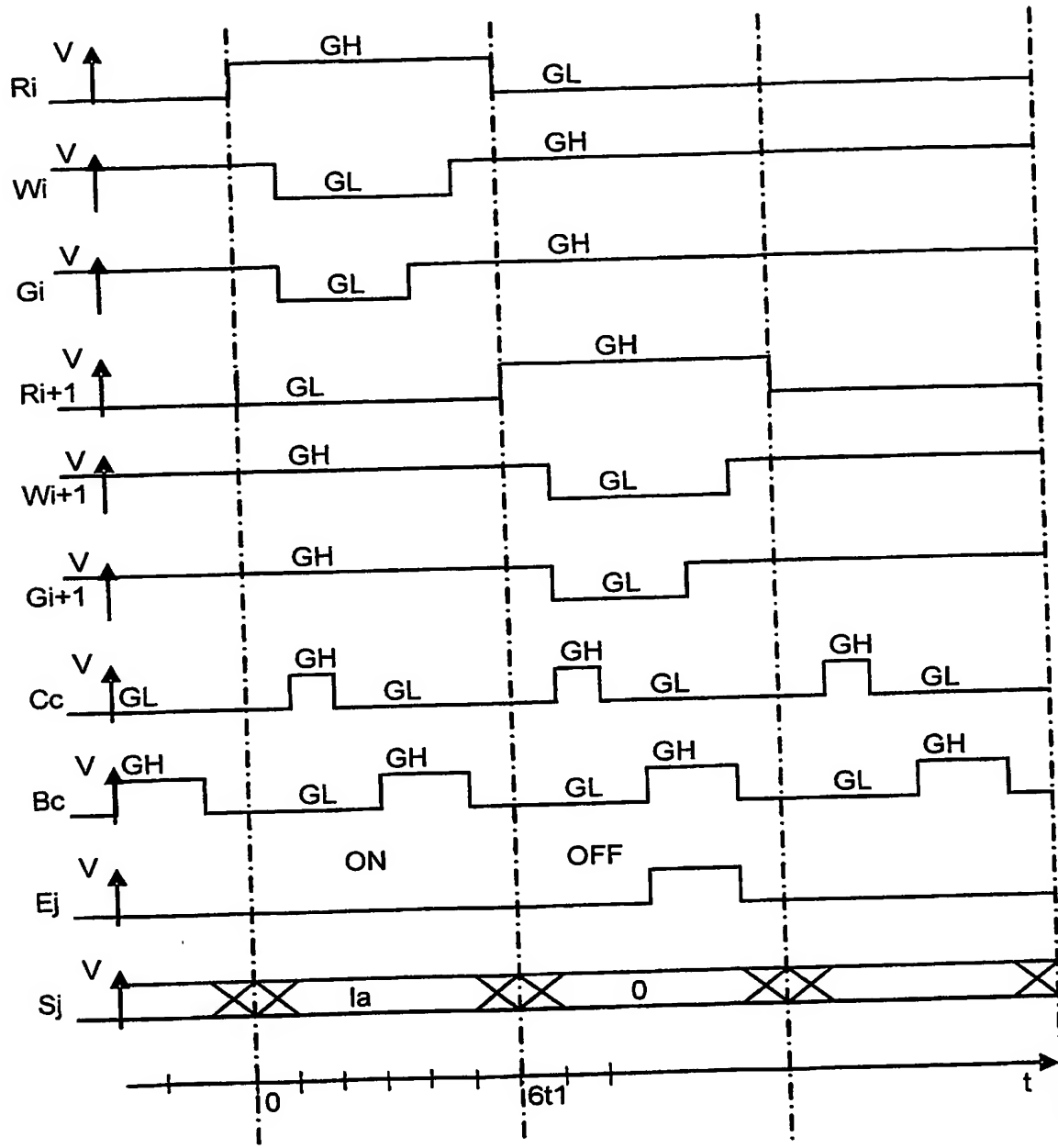
【図 37】



【図 38】



【図39】



【書類名】 要約書

【要約】

【課題】 有機EL表示装置など、電流駆動発光素子を備えた表示装置において、駆動用TFTの閾値電圧・移動度のばらつきによる、非選択期間の電流駆動発光素子を流れる電流値のばらつきを抑える。

【解決手段】 駆動用TFT1のゲート端子とドレイン端子との間にスイッチ用トランジスタ3を接続し、駆動用TFT1のゲート端子とソース端子との間に第1コンデンサ2を接続し、駆動用TFT1の電流制御端子に第2コンデンサ7の第1端子を接続し、第2コンデンサ7の第2端子を、駆動用TFT1のドレイン端子との間にスイッチ用トランジスタ9を介して接続し、かつ所定電圧線Vaとの間にスイッチ用トランジスタ8を介して接続する。

【選択図】 図1

特願 2003-204018

出願人履歴情報

識別番号

[000005049]

1. 変更年月日

1990年 8月29日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町22番22号

氏 名

シャープ株式会社